

COMMUNICATION BETWEEN STATION OF SYSTEM OF A PLURALITY OF PROCESSORS LINKED TO COMMUNICATION MEDIUM AND A PLURALITY OF STATIONS

Publication number: JP63234343 (A)

Publication date: 1988-09-29

Inventor(s): TOMASU PATORITSUKU BITSUSHIYOP; MAAKU HENRI DEIBUISU; DEIBUITSUTO NIKORASU HOON; GUROBUA TEIMOSHII SURATSUTO; ROURENSU ARUNO UERUSHIYU +

Applicant(s): AMERICAN TELEPHONE & TELEGRAPH +

Classification:

- international: G06F13/00; G06F13/374; G06F13/42; G06F15/16; G06F15/177; G06F9/46; H04L12/56; H04L29/00; G06F11/14; G06F13/00; G06F13/36; G06F13/42; G06F15/16; G06F9/46; H04L12/56; H04L29/00; G06F11/14; (IPC1-7): G06F13/00; G06F15/16; H04L11/00

- European: G06F13/374; G06F13/42C1A; G06F9/46R6M; H04L12/56Q1; H04L12/56Q3; H04L29/00

Application number: JP19870323014 19871222

Priority number(s): US19860941702 19861222

Also published as:

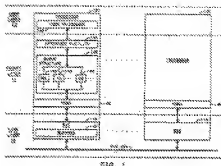
JP5050021 (B)
JP1836446 (C)
EP0272834 (A2)
EP0272834 (A3)
EP0272834 (B1)
US4914653 (A)
KR960012686 (B1)
DE3751091 (T2)
CA1277382 (C)
BR8706962 (A)

<< less

Abstract not available for JP 63234343 (A)

Abstract of corresponding document: **EP 0272834 (A2)**

Processor (101) of a multiprocessor system (FIG. 1) communicate across bus (150) via a low-latency packet protocol featuring per-logical channel input queues (143) and output queues (144), different per-processor priorities for sending data packets (FIG. 10) and data packet-acknowledging "quick" messages (FIG. 11), and separate buffers (923; 918) for receiving data packets and "quick" messages, respectively. Transmitted data packets afflicted by error, receive buffer overflow, and input queue-full conditions are discarded by the receiving processor and are retransmitted by the sending processor.



Data supplied from the **espacenet** database — Worldwide

⑪ 公開特許公報(A) 昭63-234343

⑫ Int. Cl. ⁴	識別記号	庁内整理番号	⑬ 公開 昭和63年(1988) 9月29日
G 06 F 13/00	3 5 1	A-7218-5B	
15/16	3 1 0	R-6745-5B	
H 04 L 11/00	3 2 0	7928-5K	審査請求 未請求 発明の数 2 (全41頁)

⑭ 発明の名称 通信媒体に結合された複数プロセッサの系のステーションと複数ステーション間の通信方法

⑮ 特 願 昭62-323014

⑯ 出 願 昭62(1987)12月22日

優先権主張 ⑰ 1986年12月22日 ⑱ 米国(US) ⑲ 941702

⑳ 発 明 者 トマス バトリック アメリカ合衆国, 60505 イリノイ, オーロラ, リンカン
ビツシヨブ ウッド コート 2505

㉑ 出 願 人 アメリカン テレフォ アメリカ合衆国, 10022 ニューヨーク, ニューヨーク,
ン アンド テレグラ マデイソン アヴェニュー 550
フ カムパニー

㉒ 代 理 人 弁理士 三 俣 弘文
最終頁に続く

明細書の浄書(内容に変更なし)

明 細 書

1. 発明の名称

通信媒体に結合された複数プロセッサの系のステーションと複数ステーション間の通信方法

2. 特許請求の範囲

(1) 通信媒体(たとえば 150)とこの媒体に通信結合された複数のプロセッサとを有する系(たとえば第1図)のステーション(たとえば 101)において:

ステーションに付属の第1の優先順位および第1の優先順位より高位の第2の優先順位のいずれか一方に応じて媒体へのアクセスを探索するための第1の手段(たとえば 110: 1301-1305および 1314)と;

第1の手段によるアクセス探索の結果に応じて媒体上の第1および第2のタイプのいずれかのメッセージを他のステーションに伝送するための第2の手段(たとえば 110: 1306-1308)と;

媒体上で他のステーションから受取られた第1のタイプのメッセージを記憶するための第3の手

段(たとえば 110: 923および 1410-1412)と;

媒体上で他のステーションから受取られた第2のタイプのメッセージを第1のタイプのメッセージから分離して記憶するための第4の手段(たとえば 110: 918および 1410-1412)と;

第1の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が第1のタイプのメッセージを伝送するように行わせるための第5の手段(たとえば 144、第8図ないし第11図)と;および

第3の手段内に記憶されている第2のステーションからのメッセージに反応して、第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が第2のタイプのメッセージを第2のステーションに伝送するように行わせるための第6の手段(たとえば 143、第18図ないし第20図)と;

を特徴とする通信媒体に結合された複数プロセッサの系のステーション。

(2) 第3の手段は:

第3の手段内に記憶されているメッセージは第1のタイプの条件により影響されるかを判定するための第7の手段(1214:1411)と;および第7の手段と協働し、メッセージが第1のタイプの条件により影響されると判定されたとき第1の信号を送るための第8の手段(たとえば1214:1412)と;

を含み、また第5の手段は:

媒体上における第1の信号の受取りに反応して、第1の信号の受取り中に第2の手段により第1のタイプのメッセージの再伝送を行わせるための第9の手段(たとえば818、820);

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

(3) 第6の手段は:

第3の手段から放出されたメッセージを示す情報を記憶するための第10の手段(たとえば143)と;

第3の手段内に記憶されている第2のステーションからのメッセージを第3の手段から放出する

ための第11の手段(たとえば1504、1515、第18図)と;

放出されたメッセージは第2のタイプの条件により影響されるかを判定するための第12の手段(たとえば1514)と;

放出されたメッセージが第2のタイプの条件により影響されないか判定されたら放出されたメッセージを示す情報を第10の手段内に選択的に記憶し、またそれが第2のタイプの条件により影響されると判定されたら放出されたメッセージを放棄するための第13の手段(第19図)と;および放出されたメッセージが第2の条件により影響されないか判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせた第2の手段が放出されたメッセージの肯定応答を有する第2のタイプのメッセージを第2のステーションに伝送するように行わせ、また放出されたメッセージが第2の条件により影響されると判定されたら影響されるメッセージの受取り中に第8の手段が第1の信号を媒体中に送らなかった

ら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせた第2の手段が放出されたメッセージの否定応答を有する第2のタイプのメッセージを第2のステーションに伝送するように行わせるための第14の手段(1532、1545、1547)と;

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

(4) 第6の手段は:

第3の手段から放出されたメッセージを示す情報を記憶するための第10の手段(たとえば143)と;

第3の手段内に記憶されている第2のステーションからのメッセージを第3の手段から放出するための第11の手段(たとえば1504、1515、第19図)と;

放出されたメッセージは第1のタイプを含む第2のタイプの条件により影響されるかを判定するための第12の手段(たとえば1505、1509、1514、1518)と;

放出されたメッセージが第2のタイプの条件により影響されないか判定されたら放出されたメッセージを示す情報を第10の手段内に記憶し、またそれが第2のタイプの条件により影響されると判定されたら放出されたメッセージを放棄するための第13の手段(たとえば1504、1515、1508、1528、1508、1510、1518、1517、1501、1550、1519、1520、1508、1530)と;および

放出されたメッセージが第1のタイプの条件により影響されないか判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせるための第14の手段(1502、1532、1545、1547)と;

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

(5) 第5の手段は:

各々他のステーションの異なる第10の手段と結合され、付属の第10の手段へ第2の手段により伝送されるメッセージを示す情報を記憶するための複数の第15の手段(たとえば144)と;

第4の手段によるメッセージの記憶にตอบสนองしていずれの応答タイプが保有されているかを判定するために、記憶されているメッセージを第4の手段から抽出するための第16の手段（たとえば 821-823）と；および

第18の手段と協働し、応答が肯定応答であると判定されたら第4の手段から抽出されたメッセージにより応答されたメッセージを示す情報を第10の手段から抹消し、また応答が否定応答であると判定されたら第4の手段から抽出されたメッセージにより応答されたメッセージを示す情報を記憶する第10の手段により記憶された情報によって示されるメッセージの伝送を遅らせるための第17の手段（たとえば 824、825）と；

を含むことを特徴とする特許請求の範囲第3項記載のステーション。

(6) 第6の手段は：

第3の手段に記憶されている第2のステーションから受取られたメッセージは第1のタイプの条件により影響されるか否かを判定するための第7

メッセージの再伝送を行わせるための第9の手段（たとえば 821-825）；

を含むことを特徴とする特許請求の範囲第1項に記載のステーション。

(7) 第6の手段は：

第3の手段から抽出されたメッセージを示す情報を記憶するための第10の手段（たとえば 143）；

を含み、また第7の手段は：

第3の手段内に記憶されているメッセージを第3の手段から抽出するための第11の手段（たとえば 1504、1515、第19図）と；

抽出されたメッセージは第1のタイプの条件により影響されるか否かを判定するための第12の手段（たとえば 1514）と；および

抽出されたメッセージが第1のタイプの条件により影響されないと判定されたら抽出されたメッセージを示す情報を第10の手段内に選択的に記憶し、またさらに抽出されたメッセージが第1のタイプの条件により影響されると判定されたら抽出されたメッセージを放棄するための第14の手段

の手段（たとえば 1504、1514、1515、第19図）と；および

第7の手段と協働し、応答されたメッセージが第1のタイプの条件により影響されないと判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が抽出されたメッセージの肯定応答を有する第2のタイプのメッセージを第2のステーションに伝送するに行わせ、またさらに応答されたメッセージが第1の条件により影響されると判定されたら第2の優先順位に応じて第1の手段が媒体アクセスを探索するように行わせかつ第2の手段が第3の手段内に記憶されている第2のステーションからのメッセージの否定応答を有する第2のタイプのメッセージを第2のステーションに送るように行わせるための第8の手段（たとえば 1502、1532、1546、1547）と；

を含み、また第5の手段は：

第4の手段により記憶されかつメッセージの否定応答を有するメッセージにตอบสนองして否定応答メ

（たとえば第19図）と；

を含むことを特徴とする第6項に記載のステーション。

(8) 第5の手段は：

各々他のステーションの異なる第10の手段と結合され、付属の第8の手段へ第2の手段により伝送されるメッセージを示す情報を記憶するための複数の第15の手段（たとえば 142）；

を含み、第9の手段は：

第4の手段によるメッセージの記憶にตอบสนองしていずれの応答タイプがそれにより保有されているかを判定するために、記憶されているメッセージを第4の手段から抽出するための第18の手段（たとえば 821-823）と；および

第16の手段と協働し、応答が肯定応答であると判定されたら第4の手段から抽出されたメッセージにより応答されたメッセージを示す情報を第15の手段から抹消し、また応答が否定応答であると判定されたら、第4の手段から抽出されたメッセージにより応答されたメッセージを示す情報を記

述する第15の手段により記憶された情報によって示されるメッセージの伝送を送らせるための第17の手段(たとえば824、825)と;

を含むことを特徴とする特許請求の範囲第6項に記載のステーション。

(9) 第5の手段は、各々通信系の複数のステーションの他のステーションに伸長する異なる論理経路に結合され、付属の論理経路を介して伝送するための、各々が第1のタイプのバケットを形成するエントリ(たとえば317)を記憶するための複数の出力キュー(待ち行列)(たとえば144)を含む;

第6の手段は、各々通信系の複数のステーションの他のステーションに伸長する異なる論理経路に結合され、付属の論理経路を介して伝送するための、各々が第1のタイプのバケットを示すエントリ(たとえば354)を記憶するための複数の入力キュー(たとえば143)を含む;

第2の手段は、媒体上へ伝送するためのバケットをバッファするための第1のメモリ手段(たと

えば921)を含む;

第3の手段は、媒体上で受取られる第1のタイプのバケットをバッファするための第2のメモリ手段(たとえば923)を含む;

第4の手段は、媒体上で受取られる第2のタイプのバケットをバッファするための第3のメモリ手段(たとえば918)を含む;

第5の手段は、出力キューのエントリで形成されるバケットを第1のメモリ手段内に記憶しかつ出力キューの付属の論理経路を識別するための第7の手段(たとえば大8図ないし大1図)をさらに含む;

第1の手段は、第1のタイプのバケットの第1のメモリ手段内への記憶にตอบสนองしてそのステーションに付属の第1の優先順位に応じて媒体へのアクセスの取合いをなし、またさらに第2のタイプのバケットの第1のメモリ手段への記憶にตอบสนองしてそのステーションに付属しかつ第1の優先順位より高位の大2の優先順位に応じて媒体へのアクセスの取合いをするための第8の手段(たとえば

1211、1212、1214; 1301-1305および1314)を含む;

第2の手段は、第2の作業手段による媒体へのアクセスの成立にตอบสนองして第1のメモリ手段内に記憶されているバケットを媒体上に伝送するための第9の手段(たとえば1214; 1306-1308)をさらに含む;

第3の手段は、媒体上での第1のタイプのバケットの受取りにตอบสนองして受取られたバケットを第2のメモリ手段内に記憶し、また媒体上での第2のタイプのバケットの受取りにตอบสนองして受取られたバケットを第3のメモリ手段内に記憶するための第10の手段(たとえば1214; 1410-1412)をさらに含む; および

大6の手段は、受取られたバケットを第2のメモリ手段から抽出し、抽出されたバケットにตอบสนองして抽出されたバケットにより識別された論理経路に付属の入力キュー内において抽出されたバケットを示すエントリを形成するための第11の手段(たとえば第18図ないし第20図)と、および

第11の手段と協働し、抽出されたバケットにตอบสนองする第2のタイプのバケットを第1のメモリに記憶するための第12の手段(たとえば1502、1532、1545-1547、第21図)と、を含む;

ことを特徴とする、媒体が複数の論理通信経路(たとえば200、201)を形成することと特徴とする特許請求の範囲第1項に記載のステーション。

(10) 第11の手段は;

抽出されたバケットが第1の条件の発生により影響されるか否かを判定するための第13の手段(たとえば1514)と; および

第13の手段と協働し、抽出されたバケットが第1の条件の発生により影響されないと判定されたら抽出されたバケットにより識別された論理経路に付属の入力キュー内に抽出されたバケットを定義する1エントリを記憶し、また抽出されたバケットが第1の条件の発生により影響されると判定されたら抽出されたバケットを放棄するための第14の手段(たとえば第19図)と;

を含む、第12の手段は：

第13手段と協働し、放出されたパケットが第1の条件の発生により影響されないと判定されたら放出されたパケットの肯定応答を保有する第2のタイプのパケットを第1のメモリ手段内に記憶し、また放出されたパケットが第1の条件の発生により影響されると判定されたら放出されたパケットの否定応答を保有する第2のタイプのパケットを第1のメモリ手段内に記憶するための第15の手段（たとえば1532、1545-1547、第21図）；を含む、第5の手段は：

放出されるパケットが肯定応答を保有するならば受取られた第2のタイプのパケットを第3のメモリ手段から放出しかつ放出されたパケットに回答して第1のタイプの肯定応答パケットを定義する1エントリを出力キューから抹消し、またさらに放出されるパケットが否定応答を保有するならば、放出されたパケットに回答して出力キューのエントリにより形成されたパケットの伝送を遅らせるための第18の手段（たとえば822-825）；

の第1の優先順位と第2の優先順位との中の第2の優先順位に従って第2のステーションから媒体へのアクセスを探索すること（たとえば1301-1305、1314、第21図）；

(e) 媒体へのアクセスが成立した後、第2のタイプのメッセージを第2のステーションから媒体を介して第1のステーションへ伝送すること（たとえば1306-1308、第18図ないし第21図）；および

(f) 第1のタイプのメッセージを受取るための第1の記憶手段（たとえば923）と第2のタイプのメッセージを分離して受取るための第2の記憶手段（たとえば918）とを有する第1のステーションにおいて、伝送された第2のタイプのメッセージを第2の記憶手段（たとえば918）内に受取ること（たとえば第8図ないし第11図および第17図）；

のステップからなることを特徴とする、通信媒体（たとえば150）に結合され、各々第1および第2のタイプのメッセージを伝送したり受取った

を含むことを特徴とする特許請求の範囲第9項記載のステーション。

(11) (a) 第1のステーションに付属の第1の優先順位とそれより高位の第2の優先順位との中の第1の優先順位に従って第1のステーションから媒体へのアクセスを探索すること（たとえば1301-1305、第9図ないし第10図）；

(b) 媒体へのアクセスが成立した後第1のタイプのメッセージを第1のステーションから媒体を介して第2のステーションへ伝送すること（たとえば1306-1308 第10図）；

(c) 第1のタイプのメッセージを受取るための第1の記憶手段（たとえば923）と第2のタイプのメッセージを分離して受取るための第2の記憶手段（たとえば918）とを有する第2のステーションにおいて、伝送された第1のタイプのメッセージを第1の記憶手段（たとえば923）内に受取ること（たとえば第17図および第19図）；

(d) 第1のタイプのメッセージの受取りに応答して、第2のステーションに付属された低位

りするための複数のステーション（たとえば101）間の通信方法。

(12) (e) のステップは：

(g) 第2のステーションの第1の記憶手段により受取られたメッセージは第1のタイプの条件により影響されるか否かを判定すること（たとえば1514）、

(h) 受取られたメッセージが影響されるというステップ(g)の判定に答えて第2のステーションにおいてこの影響されるメッセージを抹消すること（たとえば1530）、

(i) 媒体へのアクセスが成立した後、受取られたメッセージが第1のタイプの条件により影響されないと判定されたら受取られた第1のタイプのメッセージの肯定応答を保有する第2のタイプのメッセージを第2のステーションから第1のステーションへ伝送すること（たとえば1545、1547、第21図）、および

(j) 媒体へのアクセスが成立した後、受取られたメッセージが第1のタイプの条件により影

響されたと判定されたら受取られた第1のタイプのメッセージの否定応答を保有する第2のタイプのメッセージを第2のステーションから第1の伝送すること(たとえば1532、第21図)、を含み; またステップ(f)は:

(k) 否定応答を保有する第2のタイプのメッセージの受取りに応じて、否定応答伝送されたメッセージを第2のステーションに再伝送するために第1のステーションにおいてステップ(a)および(b)を反復すること(たとえば第8図ないし第11図);

を含むことを特徴とする特許請求の範囲第11項に記載の方法。

(13) ステップ(a)は、

第1のステーションの第1の記憶手段(たとえば921)において複数の出力キューのうちの1つの出力キュー(たとえば144)のエントリからの第1のタイプのパケットを形成すること(たとえば第9図ないし第10図)、ここでエントリを記憶するための各出力キューは各々付属の論理経路を

受取られたパケットにより識別された論理経路に付属の入力キュー(たとえば143)内に第2の記憶手段内に受取られた第1のタイプのパケットを示すエントリを形成すること(たとえば第19図)、ここで入力キューは各々他のステーションの出力キューから第2のステーションに伸長する異なる通信経路に付属する複数の入力キューからなり、各入力キューは付属の論理経路を介して受取られた第1のタイプのパケットを示す各エントリを記憶するためのものである、を含み;

ステップ(d)は:

第2の記憶手段内に受取られた第1のタイプのパケットに肯定応答する第2のタイプのパケットを第2のステーションの第1の記憶手段内に形成すること(たとえば第21図)、および

第1の記憶手段内におけるパケットの形成に応じて、第2のステーションに付属の低位の第1の優先順位および第2の優先順位のうちの第2の優先順位に従って第2のステーションにおいて媒体へのアクセスを探索すること(たとえば1301-

介して伝送するための第1のタイプのパケットを定義し、またパケットはキューに付属の論理経路を識別するものであり、および第1の記憶手段におけるパケットの形成に応じて、第1のステーションに付属の第1の優先順位と高位の第2の優先順位とのうちの第1の優先順位に従って第1のステーションにおいて媒体へのアクセスを探索すること(たとえば1301ないし1305、1314)、を含み; ステップ(b)は:

媒体へのアクセスが成立後、形成されたパケットを第1のステーションから媒体を介して第2のステーションへ伝送すること(たとえば1306ないし1308)、を含み;

ステップ(c)は:

第1のタイプのパケットを受取るための第2の記憶手段と第2のタイプのパケットを分離して受取るための第3の記憶手段とを有する第2のステーションにおいて伝送された第1のタイプのパケットを第2の記憶手段(たとえば第17図)、および

1305、1314);

ステップ(e)は:

媒体へのアクセスが成立した後、形成されたパケットを第1の記憶手段から媒体を介して第1のステーションに伝送すること(たとえば1308-1308)を含み、および

ステップ(f)は:

第1のタイプのパケットを分離して受取るための第2の記憶手段と第2のタイプのパケットを受取るための第3の記憶手段とを有する第1のステーションにおいて、伝送された第2のタイプのパケットを第3の記憶手段(たとえば918)内に受取ること(たとえば第17図)、および

第2のタイプのパケットの受取りに応じて、第1のタイプの肯定応答パケットを示すエントリを出力キューから抹消すること(たとえば第10図ないし第11図)、を含み;

ことを特徴とする、複数のステーションが記憶手段(たとえば918、921、923)と入出力キュー(たとえば143、144)とを有し、また通信媒

体は複数の論理通信経路（たとえば 200、201）を形成するところの特許請求の範囲第11項に記載の方法。

3. 発明の詳細な説明

（発明の背景）

〔発明の属する技術分野〕

本発明は一般的にはプロセッサ間の通信に関し、とくにはこのような通信のプロトコル（通信規約）に関する。

多重プロセッサ計算機システムにおいては、システム業務遂行時に複数のプロセッサが相互に協働する。協働は情報の交換を含む；したがって、プロセッサ・アクティビティのかかなりの部分はプロセッサ間の通信からなる。通信が実行されるときの速度および効率はシステムの性能に直接かつ大きな影響を及ぼす。したがって、あるプロセッサから他のプロセッサへ通信を伝送してから返り応答を受取るまでに必要な経過時間である待ち時間は、できるだけ短くしなければならない。

〔従来技術の説明〕

また他の通信への応答も「負担している」。この効果は、応答が遅れが出るためにこの場合もやはり待ち時間の問題を悪化させている。したがって要約すると、この技術の問題点は待ち時間を最小にする最適化通信プロトコルがないことである。

（発明の概要）

本発明は以上の種々の問題および従来技術の欠点を解決することを目的とする。本発明によれば、通信媒体とこの媒体に通信結合された複数のステーションとからなる通信システムにおいて、各ステーションには媒体へのアクセスを探索するための二つの優先順位（プライオリティ）、すなわちレギュラ・タイプのメッセージを伝送するための低位の優先順位と肯定応答タイプの「クイック」メッセージを伝送するための好意の優先順位とが割当てられている。この構成においては肯定応答は最優先の優先順位を有し、したがって遅れは最小となりこれにより待ち時間は最小となる。実施例によると、一「クイック」メッセージかまたは

代表的な既存のプロトコルは待ち時間を最小にするものでない。たとえば現在最もよく使用されている大抵の通信プロトコルにおいては、通信されるデータは複数のプロトコル層を介して伝送される。データは、プロトコル層を上昇および下降するときに何回も変換される。各変換はプロトコルのオーバーヘッドに加えられて待ち時間を増大しかつスループットを低減する。他の例として、既存の大抵のプロトコルは広範囲かつ複雑なエラー回復方式と緩速の通信応答手順とを含み、これにより通信が失われたり伝送中に加工されたりすることもある。エラー回転方式を実行するためのコストを節減するために、代表的なプロトコルはこれをソフトウェア内で実行する。この方式の複雑さはソフトウェア実行の緩慢さと組合わさってプロトコルのオーバーヘッドに付加されて待ち時間を増大しこれによりスループットが犠牲にされる。肯定応答手順の実行に要する費用を節約するために、代表的なプロトコルは複数の通信に応答を出すことが可能なシングル応答方式を使用し、

その他の信号カーについてのレギュラ・メッセージの応答は、各レギュラ・パケットの伝送中または伝送後に、受取側ステーションから送出ステーションへ返されてくる。したがって応答は「負担すべき」他の通信を得つ必要もなく、複数の応答を単一の通信に保存し「集約した」ものでもない。むしろ応答はできるだけ迅速に返されてくるのでこれにより待ち時間を最小にできることは好ましい。さらに本発明によれば、受取側ステーションにおいて、肯定応答保有「クイック」メッセージはレギュラ・メッセージとは分離してバッファされ、受取られて作業領域に記憶される。したがって、「クイック」メッセージは受取側ステーションにおいて他の到着レギュラ・メッセージとは独立にアクセスされて処理され、このとき「クイック」メッセージがアクセスされる前に「クイック」メッセージより先にバッファされたすべてのレギュラ・メッセージを（たとえば代表的な先入れ先出しバッファ装置におけるように）処理する必要がないので有利である。このように

肯定応答に対しては他の通信に優先する優先順位が与えられてできるだけ迅速な処理が可能なので、これにより待ち時間は最小になる。肯定応答は転送データの正確さの逐次確認を行う役をなす。実施例によれば、高低応答は2つの別個の機構により行われ、両方ともできるだけ迅速に肯定応答を与えるように最適化される。メッセージが受取られている間に、エラー条件がないか、または受取りバッファはオーバフローしていないかがモニタされる。いずれかが発生すると、媒体コントロールがリリーズされる前に送出しステーションに直ちに否定応答(RNACK)信号が送り返される。したがって、受取りステーションは否定応答信号を出す前に媒体アクセスの取合いをする必要はない。メッセージの受取り中にもし否定応答信号が送られないならば、受取られたメッセージの処理中に前記の「クイック」メッセージ機構により肯定応答または否定応答が与えられる。「クイック」メッセージ機構は前記のように待ち時間を最小にするばかりではなく、メッセージが受取

られてからそれが処理されるまでの間は媒体を他の通信伝送に自由に開放することにより、他の「クイック」メッセージを含めて「他の」通信の待ち時間も最小にするので有利である。

さらに本発明によれば、レギュラ・メッセージ用に入力キュー(待ち行列)と出力キューとが設けられる。キューは送出しメッセージおよび受取りメッセージの順序を維持する単純な機構の役をなす。論理チャンネル付きでユーザ・キューが設けられる。チャンネル付き入力キューは、受取られたパケットに含まれるデータを、実施例ではステーションの主メモリに配置された最終行先への移動を可能とし、受取られるデータをその空き時間に要求する通信エンティティの作業を妨害したりその作業を待つ必要がないので有利である。チャンネル付き出力キューは、各通信エンティティに出力キューへの出力要求を非同期式に出すことを可能とし、他の通信エンティティや通信制御機構を妨害することもないので有利である。

人出力キューのエントリはパケットを保有せず

単にパケットの代表値のみを保有する。とくにパケットにより通信を受けるユーザ・データは他の場所・実施例ではステーションの主メモリ内に記憶され、エントリはデータに対するポインタを記憶するにすぎない。伝送用のパケットは送出しバッファ内にまとめられるのみで、パケットはここから直接媒体上へ伝送され、受取りバッファにより受取られたパケットは受取りバッファから読取られた後は直ちに取除かれる。したがって、プロトコル層間のデータの転換および復号が省かれるので有利であり、またこれにより待ち時間は短縮される。

複雑なエラー回復方式も省かれる。たとえばバリティ・エラー、受取りバッファのオーバフロー、および入力キュー・フル条件などの好ましくない条件により影響されることが判明した受取りメッセージは受取側ステーションで単に放棄され、否定応答「クイック」メッセージすなわちRNACK信号によりおくり出しステーションから再伝送するように指示される。この単純な方式により

他のエラー回復方式による複雑さおよび面倒さは回避され、したがってこの方式は通信の待ち時間の短縮にも有効である。この方式は、待ち時間の点からも故障回数を少なくし再伝送オーバーヘッドを小さくするのは最適である。

特許請求の範囲に記載のように、本発明は前記の特徴を有する系のためのステーションとこの系における通信方法とに関する。概要的には、本発明によれば、ステーションはステーションに付属の2つの優先順位に従って通信媒体へのアクセスを探索するためのたとえばアービタのような第1の装置と、および媒体上で他のステーションから受取られた2つのタイプのメッセージ(実施例ではレギュラーへおよび「クイック」メッセージ・パケット)用の別々の記憶装置(実施例では受取りFIFOおよび「クイック」メッセージ・レジスタ)とを含む。第2の装置(実施例では送出側ステーションの制御装置)は第1の装置によるアクセス探索の成立に応答して媒体を介して他のステーションにいずれかのタイプのメッセージを伝

送する。第3の装置(実施例ではMSBIユニットの出力処理部分)は、低位の優先順位に従って第1の装置が媒体アクセスを探索することを行わせかつ第2の装置が一つのタイプ(実施例ではレギュラ・タイプ)のメッセージを伝送することを行わせる。第4の装置(実施例ではMSBIユニットの入力処理部分)は、第2のステーションから受取られかつレギュラ・メッセージ用記憶装置(受取りFIFO)内に記憶されたメッセージにตอบสนองして、高位の優先順位に従って第1の装置が媒体アクセスを探索することを行わせかつ第2の装置が他のタイプ(実施例では「クイック」メッセージ)のメッセージを伝送することを行わせる。

第5の装置(実施例では受取側ステーションの制御装置内に含められる)は、レギュラ・メッセージ用の記憶装置(受取りFIFO)が第1のタイプの条件(実施例ではパリティエラーまたは受取りFIFOのオーバーフロー)により影響されるか否かを判定するので好ましい。もし影響されるならば第6の装置(実施例では同様に制御装置

内に含められる)が媒体上に信号(実施例ではR N A C K)を送る。影響を受けたメッセージは結局放棄される。第7の装置(実施例ではMSBIユニットの入力処理部分に含められる)は、媒体上における信号の受取りにตอบสนองして、このステーションから伝送されたメッセージを、この信号が受取られたときに再伝送させる。

またステーションは、受取られたレギュラ・メッセージ用記憶装置(受取りFIFO)から放出されたメッセージを表わす情報用の記憶装置(実施例では入力キュー)を含むので好ましい。ある装置(実施例ではMSBIユニットの入力処理部分)は、受取られたレギュラ・メッセージ用記憶装置から放出されたメッセージが第2のタイプの条件(実施例ではパリティエラー・記憶装置のオーバーフロー、または入力キュー・フル)により影響されるか否かを判定する。もし影響されるならば、メッセージは放棄され、またもし第6の装置(受取り側ステーション制御装置)がメッセージの受取り中に何も信号を送らなかったならば、

第4の装置に否定応答を保持する「クイック」メッセージが送られてくる。もしメッセージが第2のタイプの条件により影響されないならば、ある装置(MSBI入力処理部分)はメッセージ表示情報用の記憶装置(入力キュー)内にメッセージを表示し、また第4の装置に肯定応答を保持する「クイック」メッセージが送られてくる。

否定応答「クイック」メッセージが受取られると、その結果応答されたメッセージが再伝送される。実施例によるとステーションは複数の出力キューを有し、各出力キューは他のステーションの入力キューに伸長する異なる論理通信経路に接続されている。各出力キューは、付属の論理経路を介して経路の他端にある入力キューに伝送するための、レギュラ・パケットを定義する各エントリを記憶する。第2の装置(送出側ステーション制御装置)により伝送されたレギュラ・メッセージはこれらのエントリにより形成され、付属の論理経路を識別する(実施例ではその経路のポートを識別することによる)。実施例において、受取ら

れた「クイック」メッセージは応答されたレギュラ・メッセージの特定の論理通信経路を識別する。否定応答が受取られるとその結果、応答パケットのエントリを含む出力キュー(その特定の論理通信経路に対応する)のエントリからのパケットの形成および伝送は一時停止される。肯定応答が受取られるとその結果、応答パケットを示すエントリは出力キューから抹消される。

概要的には、本発明によれば、複数の前記ステーション間の通信方法は下記のステップを有する。第1のステーションはそのステーションに付属の低位の第1の優先順位にしたがって媒体へのアクセスを探索し、アクセスが成立した後に第1のタイプのメッセージを媒体を介して第2のステーションへ伝送する。第2のステーションは伝送されたメッセージを第1のタイプのメッセージ用記憶装置内に受取り、そのメッセージにตอบสนองしてそのステーションに付属の高位の第2の優先順位に従って媒体へのアクセスを探索し、第2のタイプのメッセージを媒体を介して第1のステーションへ

伝送する。第1のステーションはそのメッセージを第2のタイプのメッセージ用の記憶装置内に受取る。さらに、もし第2のタイプのメッセージが否定応答を保有するメッセージであるならばこれにより応答を受けた第1のタイプのメッセージは第2のステーションで放棄され、したがって第1のステーションは…実施例では第2のステーションから受取られる他のメッセージに続いて…第1のタイプのメッセージを第2のステーションに再伝送するために最初の二つのステップを反復する。

概念的に示したステーションおよびその方法、ならびに前記および特許請求の範囲に示されたそれらの詳細は当初に与えた特許の中に列記された利点を提供している。本発明のこれらの種々の利点ならびに長所は、本発明の具体的な実施例に関する図を用いた説明からより明らかになるのである。

(実施例の説明)

〔システム構成〕

第1図は本発明の実施例を実行する多重プロセ

ッサ系を示す。多重プロセッサは複数のプロセッサ101を含み、これらのプロセッサはこの実施例では同一のものを考えているが必ずしも同一である必要はない。プロセッサ101はバス150を介して相互間通信が可能ないように結合される。各プロセッサ101はそれ自身のバス・インターフェース回路(BIC110)を介してバス150に結合される。第1図に説明用にただ2台のプロセッサ101しか図示されていないが、たとえば10台を超える多数のプロセッサ101がバス150に結合されかつ前記のようにバス150へのインターフェースとしてそれ用のBIC110を用いてもよい。プロセッサ101は、たとえばWE32100単一ボード・コンピュータ、Motorola68000単一ボード・コンピュータ、AT&T3815コンピュータ、またはBIC110のような回路を介してバス150に結合可能なその他のいずれのコンピュータのように異なるコンピュータでもよく、またそれが何台でもよい。バス150はこの実施例においてはたとえば、IEEE Journal on Selected Areas of Communication

Vol. SAC-1, No. 5 (Nov. 1983) の雑誌内のS.R. Ahujaによるu S/NET: A High-Speed Interconnect for Multiple Computers(多重コンピュータ用高速中間結合器: S/NET)という文献に記載のような高速パケット・バスである。

各プロセッサ101は中央処理装置(CPU)および主記憶メモリ(図示なし)を含む。CPUおよびメモリは、オペレーティング・システムおよびアプリケーション・プロセス、以下一般にユーザ・プロセス140と呼ぶ、を実行しかつ記憶する。あるプロセッサ101のユーザ・プロセス140はBIC110のパッファ147を介して他のプロセッサ101のユーザプロセス140と通信連絡をする。しかしながらプロセス140はパッファ147と直接アクセスを有さず、プロセッサ101のメモリ内に設けられたキュー(待ち行列)構造145を介した間接アクセスのみを有する。

プロセス140は、キュー構造145を直接アクセスしてもよく、または共通のインターフェース・ファシリティ141を介して間接アクセスしてもよ

い。実施例では、ファシリティ141はデバイス・ドライバとしてプロセッサ101上に設けられる。

一方キュー構造145は、主記憶装置-BIC110のインターフェース(MSBI)148を介してBIC110のパッファ147に結合される。MSBI148は、デバイス・ドライバとしてプロセッサ101上に設けてもよく、またはプロセッサ101とは独立のハードウェア・ユニットとして設けてもよい。

前記構造は、連絡層10と、パケット層11と、およびユーザ層12とからなる三層通信プロトコルを形成する。バス150とBIC110とで形成される連絡層10は、プロセッサ101を物理的に相互結合する。この層は送出しプロセッサ110と受取りプロセッサ110との間の単純な先入れ先出しパイプである。これは、すべての情報が他端に首尾よく受取られることは保証しない。MSBI148と、キュー構造145と、およびインターフェース、ファシリティ141とから形成されるパケット層は、すべての情報が正確に送出側プロセッサ101のメモリから受取側プロセッサ101のメモリに伝送さ

れることは保証しない。それは、送出側ユーザ・プロセス 140と受取り側ユーザ・プロセス 140との間の信頼性のある一方向仮想通信チャンネルを提供する。またユーザ・プロセス 140で形成されるユーザ層12は通信データの生産者または消費者である。実施例では、層12はAとTのUNIXオペレーティング・システムと第1図の多重プロセッサに適用可能なすべてのプロセスとからなる。

【パケット層】

キュー構造 145は、ユーザ・プロセス 140がそれを介して他のプロセッサ 101から通信を受取る場所の複数の入力キュー 143と、ユーザ・プロセス 140がそれを介して他のプロセッサ 101に通信を送出する場所の複数の出力キュー 144を含む。MSBI 148が分岐型ハードウェア・ユニットの場合はキュー構造 145はまた応答キュー 142も含む。MSBI 148はキュー 142を利用してインターフェース・ファシリティ 141へ通信を送出す。

き出力キューを有することにより、他のプロセス 140またはMSBI 148を妨害することなく、各ユーザ・プロセス 140を介してその出力キューに非同同期式に作業を行わせることを可能とする。関連するエントリを私有キュー内に固定順序でグループ化することにより、送出側プロセスと受取り側プロセスとの間の一致不良は、送出側MSBI 148が「入力キュー・フル」または「受取りバッファ・オーバーフロー」の指示（後述する）を受取ったときに、特定出力キュー内の残りのすべての出力キュー・エントリからの送出しを遅らせることにより容易に処理される。

2つのプロセッサ 140間の二重チャンネル（二方向プロセッサ間通信経路） 201は2つの逆方向単一チャンネル 200を含む。各二重チャンネル 201は、プロセッサ 101上で、二重チャンネルの構成単一チャンネル 200の入力キュー 143と出力キュー 144を含むポート 202で終端する。

キュー構造 145を第3図ないし第5図にさらに詳細に示す。各ポート 202はそれに付属してポー

第2図はキュー構造 145により構成されるプロセッサ間論理通信構造を示す。各単一（一方向）仮想または論理通信チャンネル 200は、異なるプロセッサ 101上に配置された2つのユーザ・プロセス 140間の、物理的にはバス150で構成された論理経路である。単一チャンネル 200は、一端は送出側プロセッサ 101の出力キュー 144により、また他端は受取り側プロセッサ 101の入力キュー 143により形成される。単一チャンネル 200は入力キュー 143と出力キュー 144とをそれに割当てることにより設定され、割付けられたキューはチャンネルが存在する間単一チャンネル 200への割当てが維持される。単一チャンネル 200が遮断されると、それに割当てられていたキュー 143、144は新しいチャンネルの設定に利用可能となる。

チャンネル付き入力キューを有することにより、プロセス 140を妨害することなく、MSBI 148を介して入力データをBIC 110からメモリのユーザ・アドレス空間内の最終宛先バッファへ直接移動させることを可能とする。またチャンネル付

ト構造 380を有する。ポート構造 380は、付属ポート 202の出力キュー 144の見出し（ヘッダ） 340を指示する出力キュー・ポインタ 381と、付属ポート 202の入力キュー 143の見出し 341を指示する入力キューポインタ 382を含む。エントリ 381、382が協働してポート 202を構成する。

キュー構造 145はブートストラップ時にシステムにより形成される。しかしながら、ユーザの非同同期式チャンネルの入力キューおよび出力キューは、ポートが実際にチャンネルの割当てられるときにのみ割当てられかつ連係される。

ポート構造 380はまた、ポインタ 381により指示される出力キュー 144にロードされる次のパケットのトグル・ビット値を指定する出力キュー・トグル 383と、ポインタ 382により指示される入力キュー 143にロードされる次に受取られるパケットのトグル・ビットの予想値を指定する入力キュー・トグル 384を含む。トグル 383、384は「ユーザ非同同期式」チャンネル 201に対し1ビットと、「カーネル同期式」および「カーネル非同

同期式」チャンネル 201 に対し各プロセッサ 101 に
 対する 1 ビットを含めて複数ビットと、を含む
 (前記チャンネルタイプについてはさらに以下で
 説明する)。トグル 383、384 はポート 202 に付
 属の単一チャンネル 200 上を流れるデータの一体
 性を維持するために使用される。単一チャンネル 2
 00 を介して順次に伝送されるパケットのトグル・
 ビットの直は入替わる；もし順次に受取られるパ
 ケットのトグル・ビット直が入替らないならば、
 これは、伝送中の応答パケットのロスのようなエ
 ラーの指示である。

ポート構造 380 はまた、ポート 202 が付属する
 チャンネル・タイプ、すなわちカーネル同期式、
 カーネル非同同期式またはユーザ非同同期式を指定す
 るチャンネル・タイプ・インディケータ 385 を含
 む。構造 380 はさらに、付属の二重チャンネル 2
 01 の他端におけるポート 202 を識別する他ポート
 ID 388 を含む。もしインディケータ 385 が付属
 チャンネル 201 をユーザ非同同期式として識別し
 たら、他ポート ID 388 は他ポートの ID を保持し、

これにより他のポートを直接識別する。もしイン
 ディケータ 385 が付属チャンネルをカーネル・チ
 ャンネルとして識別したら、他ポート ID 388 は、
 各プロセッサ 101 上の他ポートを指示するアレー
 (図示なし) を指示することにより直接他のポー
 トを識別する。構造 380 はまた、付属ポート 202
 のステータス(状態)；すなわち、チャンネル 2
 01 に割当て；他ポート 202 に接続；切断、すな
 わち相手先プロセッサが作動中止；フリー、すな
 わち使用されていない；または「ゾンビ(zombie:
 とんま)」を示す。「ゾンビ」ポートは、それ
 に対しフリー・ステータスが好ましいがそれに付属
 の出力キュー 144 が空きではないのでポートはフ
 リーになりにえないようなポートである。出力キ
 ュー 144 には項目 301-308 からなる出力キュー制
 御構造 300 が付属される。カーネル同期式出力キ
 ュー・ポインタ 301 は、ユーザ・プロセス 140 の
 うちのカーネル同期式チャンネル用のオペレー
 ティング・システム・カーネル・プロセスにより使
 用されるポート 202 の出力キュー 144 の見出し 3

40 を指示する。カーネル同期式チャンネルはプロ
 セッサ 101 のオペレーティング・システム・カー
 ネル間のインターフェースのようなサブルーチン
 ・コールをサポートする。カーネルが他のプロセ
 ッサにカーネル同期式リクエストを一旦出すと、
 丁度サブルーチンのコールおよびリターンのように
 カーネルはその応答を待たなければならない。
 カーネルはそれがペンディング中のものを有する
 限り他のカーネル同期式リクエストを出すことが
 できない。しかしながら、カーネルはそれがその
 応答を待っている間それが受取るいかなるカーネ
 ル同期式リクエストに対して応答を出すことが可
 能である。プロセッサは、そのペンディング中の
 リクエストが応答されるまでは新たなカーネル同
 期式リクエストを発生することができないのでカー
 ネル同期式二重チャンネル 201 はただ 1 つしか
 なく、したがって各プロセッサ 101 上にはカーネ
 ル同期式ポート 202 はただ 1 つしかない。同じ理
 由で、「入力キュー・フル」条件はカーネル同期
 式チャンネル 201 では起こり得ない。カーネル同

期式チャンネル 201 の入力キュー 143 および出力
 キュー 144 に各々、系内の各プロセッサ 101 が利
 用可能な 1 データ・エントリが割付けられる。こ
 れによりプロセッサ 101 は、それがカーネル同期
 応答を待っている間にカーネル同期式リクエスト
 を受けることが可能になる。

出力キュー制御構造 300 に戻ると、「最初の出
 力キュー・ポインタ」302 はポート 202 の出力キ
 ュー 144 の連係リスト上の最初の出力キュー 144
 を指示する。使用されない出力キュー 144 はいか
 なるポート 202 の部分ではなく、したがって出力
 キューの連係リスト上にはない。カーネル同期式
 以外のポート 202 は「カーネル同期式」および
 「カーネル非同同期式」二重チャンネル 201 に新
 して使用される。カーネル非同同期式チャンネル 201
 は、ユーザ層肯定応答を必要としない。プロセッ
 サ 101 のオペレーティング・システム・カーネ
 ル間のメッセージ通過型インターフェースをサポ
 ートする。これらは、直ぐの応答を待つことを望ま
 ないか、またはきわめて長いサービス時間を有す

るオペレーティング・システム・サービスを実行する。ユーザ非同期式チャンネル 201は異なるプロセス上に配置されたユーザ・プロセスの部分間のチャンネルである。

「送り出し F I P O 空き」(S F E) タイムアウト・インディケータ 303はパケットの B I C I 10からの伝送が必要とする最大時間を支持し、肯定応答タイムアウト・インディケータ 304はパケット肯定応答を受取側プロセッサ 101から受取るために必要な最大時間を指示する。タスク・インディケータ 305は一般処理が行われるべきか否かを M S B I 148に指示し、パラメータ・インディケータ 306はその処理のパラメータを指示する。出力ベンディング・インディケータ 307は出力キュー 144が処理されるべきエントリを有するか否かを指示するフラグである。構造 308は特定の実行に必要なだけの他のエントリを含んでもよい。

各出力キュー 144は、包括的な情報(キュー 144のすべてのデータ・エントリに共通な情報)を

記憶する項目 311-316および 318-319を含む出しし 340を有する。次の出力キュー・ポインタ 311が連係リスト内の次の出力キューの見出し 340を指示する。このキュー 144は一般出力キュー連係リスト上にないので、このポインタはカーネル同期式出力キュー 144に対しては空白である。スキップ・フラグ 312は M S B I 146により操作され、M S B I 148がこの出力キューの処理を飛越すべきか否かを指示する。プロセス待機中フラグ 313は、何かプロセスがこの出力キュー 144を待機内(「寝込み中」)であるか否かを支持する。エントリ数インディケータ 314はこのキュー上に存在するデータ・エントリの数を指示する;これはキュー割付けおよび割付け解除の目的に使用される。ロード・ポインタ 315は送出すパケットをロードするのに利用可能な次のデータ・エントリ 317を指示する。またアンロード・ポインタ 318は送出されるべき次のデータ・エントリ 317を支持する。中断(aborted)フラグ 318はオペレーティング・システム・カーネルにより周期的に

チェックされ、カーネル・ユーザ・プロセスがこのキュー 144上に寝込み中であつた間のこのキュー 144に付属するチャンネル 201は中断されるか否かを示す。またデアロケーション機能 319は、キュー 144に割付けられた共有メモリの割付けを解除するときに使用されるメモリ割付け解除(デアロケーション)機能を指定する任意のインディケータである;もしキュー 144がインターフェース・ファシリティ 141の私有メモリから割付けられたメモリを有するならばそれは空白である。この場合も特定の実行により必要なときは見出しは追加エントリを含めてもよい。

出力キュー 144の各データ・エントリ 317は他のプロセッサ 101に送出されるべきパケットを示しかつ定義する。データ・エントリ 317は多重語エントリである。パケット制御語(P C W) 320は、トグル・ビット・フィールド 331、パケットデータを含むメモリ内のバッファ・サイズを指定するバッファ・サイズ・フィールド 332、送出側 B I C I D フィールド 333、および出力キュー

144内で空きであるフィールド 334を含む。(パケット内では、フィールド 334はクイック・メッセージ・シーケンス番号を含む。)バッファ・アドレス語 321はバッファの開始アドレスを指定する。相手先ポート I D 322は相手先プロセッサ 101上の相手先ポート 202の I D を指定する。また B I C I 制御語 323はとくに相手先プロセッサ 101を指定する B I C I 110用の制御語である。実施例ではエントリ 317は4つのユーザ制御語 324-327を含む、そのうちの1つはオペレーティング・システム・カーネルによりパケット・タイプを指定するためにフラグとして使用され、あとの3つはユーザ指定である。

データ・エントリは相互間および見出し 340と物理的に隣接している必要はない。実施例ではデータ・エントリ 317は循環連係リストとして実行される。この場合に見出し 340もまたキューの最初のエントリ 317を示すポインタを含む、各エントリ 317は連係リスト上の次のエントリ 317を示すポインタを含む。

各入力キュー 143は、包括的な情報を有する項目 348-353および 358-358を含む見出し 341を有する。入力キュー・フル・フラッグ 348はキューが満満していると思なされるか否かを指示する。低位マーク 349は、満満されたキューがもはや満満とは思なされなくなるまでにいくつのエントリ 354が解放されなければならないかを指示する。プロセス待機中フラッグ 350は、プロセス 140がこの入力キュー 143を待機中であるか否かを指示する。エントリ数 351はキュー 143上に存在するデータ・エントリ 354の数を指示する。ロード・ポイント 352ははいてくるバケットで満たされるべく利用可能な次のデータ・エントリ 354を指示する。またアンロード・ポイント 353はユーザ 140に返される最終データ・エントリ・ 354を指示する。中断フラッグ 356は出力キュー 144の中断フラッグ 318に相当する入力キューのフラッグである。アロケーション・フラッグ 357は、キュー 143に割付けられたメモリはインターフェース・ファシリティ 141の私有空間からのメモリかま

様にエントリ 354は物理的に隣接している必要はなく、循環連係リストとして実行可能である。この場合もまた、見出し 341はキューの最初のエントリ 354を示すポイントを含み、各エントリ 354は連係リスト上の次のエントリ 354を示すポイントを含む。

応答キュー 142は繰入れられるべき次の応答エントリ 362を示すロード・ポイント 360と、取外される最後の応答エントリ 362を指すアンロード・ポイント 361とを含むヘッダ 343を有する。応答エントリ 362は単一語エントリである。タグ・フラッグ 370はエントリの種類一たたとえばこれは入力キューに関連するかまたは出力キューに関連するかを識別し、これによりデータ・フィールド 371を含むデータの種類の指定する。また繰返しになるが、応答エントリ 362は見出し 343または相互に隣接する必要はない。

第6図および第7図はバケットを他のプロセッサ 101に送出すときのインターフェース・ファシリティ 141の作業をフローチャートにして、構造

たはオペレーティング・システム・カーネルにより割付けられた共有メモリかを指定する。またデータキュー・タイプ・インディケータ 358は、データ・エントリ 354がどのようにキュー 143から取外されるか：すなわち、割込みに応答してファンクション・コールによる同期的か：またはユーザ・プロセス 140による直接的な非同期的か、を指定する。見出しは同様に追加のエントリを含んでもよい。

データ・エントリ 354は多重語エントリである。各データ・エントリ 354は他のプロセッサ 101から受取られたバケットを示す。1つのデータ・エントリ 354は、受取られたバケットから得られたバケット制御語 320と、バケットを介して受取られたデータが記憶されているバッファの最初メモリ内のアドレスを指定するバッファ・アドレス語 355と、を含む。データ・エントリ 354は実施例では、受取られたバケットから得られた4つのユーザ制御語 324-327をも含む。

出力キュー・データ・エントリ 317の場合と同

145の出力キュー 144の用法を示す。

バケットを他のプロセッサ 101に送出すことを希望するユーザ・プロセス 140は、出力キュー 144の中の利用可能なデータ・エントリ 317を得るために、まずステップ 400でGETPコールを介してファシリティ 141を呼出す。呼出しの一部として呼出しプロセス 140はバケットを取出したいポート 202を指定する。

呼出しに応答してファシリティ 141はステップ 401で、指定された送出側ポート202のロードポイント 315を得る。ファシリティ 141は指定された送出側ポート202のポート構造 380にアクセスすることによりそこから出力キュー・ロード・ポイント 381を得、次にポイント 381により指示された出力キュー 144の見出し 340をアクセスしてロード・ポイント 315を得る。インターフェース・ファシリティ 141は次にステップ 402で、キューのロードポイント 315とアンロード・ポイント 318とを比較することにより、この出力キュー 144上で空きのデータ・エントリ 317が利用可能であ

る。したがってファシリティ 141はステップ 408で、通常のU N I Xシステムの方法でプロセス 140にこの出力キュー144上で寝込むことのリクエストを出す。プロセスを寝込ませることに含まれるアクティビティは、プロセスが寝込まれるときのプロセス状態を保存すること、およびこの出力キューのアドレスに付属の寝込み中プロセス・リストにこのプロセスのIDを追記すること、を含む。インターフェース・ファシリティ 141は次にステップ 407で、他のプロセス 140への応答および他のプロセス 140からのその他の呼出しの処理などの他の作業を継続する。

もしロード・ポイント 315とアンロード・ポイント 316とが等しければ、出力キュー 144は充滿している。したがってファシリティ 141はステップ 403でプロセス待機中フラッグ 313をセットしてプロセス 140がこのキューを待機中であることを指示する。次にファシリティ 141はステップ 404でアンロード・ポイント 316の値をチェックして、ステップ 402でのチェック以後その値が変わったかどうかを判定する。値の変化はデータ・エントリ 317に空きができたことを示し、したがってファシリティ 141はステップ 405で、プロセス待機中フラッグ 313をクリアして、ステップ 401へ戻る。

もしアンロード・ポイント 316が変化しなかったならば、出力キュー 144はまだ充滿のままであ

る。したがってファシリティ 141はステップ 408で、通常のU N I Xシステムの方法でプロセス 140にこの出力キュー144上で寝込むことのリクエストを出す。プロセスを寝込ませることに含まれるアクティビティは、プロセスが寝込まれるときのプロセス状態を保存すること、およびこの出力キューのアドレスに付属の寝込み中プロセス・リストにこのプロセスのIDを追記すること、を含む。インターフェース・ファシリティ 141は次にステップ 407で、他のプロセス 140への応答および他のプロセス 140からのその他の呼出しの処理などの他の作業を継続する。

パケットを送出した結果、プロセス待機中フラッグ 313がセットされたままにある出力キュー 144からM S B I 146が1つのデータ・エントリ 317を抽出したとき、M S B I 146は割込みを出す(第11図のステップ 828-829を参照)。割込みはインターフェース・ファシリティ 141で受取られ、第24図に示す方法および以下の説明のように処理される。この処理の一部として、寝込み中のプロ

セスは呼び起される。寝込みプロセスを呼び起してそのプロセスの実行を再開するときに、プロセスが寝込まれたときのプロセス状態が回復される。この活動はステップ 408でインターフェース・ファシリティ 141の実行を再開させ、ファシリティ 141はステップ 401に戻ってデータ・エントリ 317の利用が可能かどうかを再びチェックする。

インターフェース・ファシリティ 141はステップで 409で、出力キューロードポイント 315を戻してプロセス 140を呼び出すと、プロセス 140はB I C 内に制御語 323およびユーザ語 324-327を入れる。ユーザ同期式チャンネルのデータ・エントリ 317の語 320のフィールド 331および語 322 323、またカーネル同期式または非同同期式チャンネルの語 320のフィールド 333は、出力キュー 144が割付けられたときに入れている。もし語 321で指示されるようなデフォルト・バッファの使用を望まないならば、プロセス 140はまた他のバッファを指示するように語 321を変えてもよい。

プロセス 140は、送りたいデータを語 321で指示されたバッファ内に記憶する。次にプロセス 140は第7図のステップ 500で、WRITEPコールを介してファシリティ 141を呼出し、埋められたデータ・エントリ 317によって示されたパケットが送られることをリクエストする。WRITEPコールに付帯するパラメータは、すべてのチャンネル・タイプ用の相手先ポートIDおよびカーネル・チャンネル用の相手先B I C IDを含む。

呼出しに responding ファシリティ 141はステップ 501で、相手先プロセッサ 101がプロセッサ間通信の目的のために活動状態とみなされるかどうかをチェックする。ファシリティ 141はこれを送出側ポート 202のポート構造 380のエントリ 385をアクセスすることにより行ない、ステップ 500で呼出されることにより指定されたポート 202のチャンネル 201がユーザ・チャンネルであるかまたはカーネルチャンネルであるかを判定する。もしチャンネル 201がユーザ・チャンネルならば、ファシリティ 141はポート構造 380のステータス・

インディケータ 387 をアクセスし、ポート 202 が割付けまたは結合されているか否かを判定する。もしそうであれば、相手先は活動状態であるとみなされる。

もしチャンネル 201 がカーネル・ポートであれば、ファシリティ 141 はポート構造 380 のエントリ 383 により指示されたアレーをアクセスし、相手先ポート 202 は相手先プロセッサ 101 の中に識別されるか否かを判定する。もし相手先ポート 202 が識別されないならば（たとえばそれ用に与えられた値が空白である）、相手先プロセッサ 101 は活動状態ではないとみなされる。

もしステップ 501 で相手先が活動状態でないとして判定されたら、ファシリティ 141 はステップ 507 でリターンし、ユーザ・プロセス 140 をリクエストしてそのことを通知する。

もし相手先が活動状態であるとみなされたら、ファシリティ 141 はステップ 502 で、送出側ポート 202 の出力キュー 144 の次に利用可能なデータ・エントリ 317 をアクセスする。ファシリティ

141 は送出側ポート 202 のポート構造 380 の出力キュー・ポインタ 381 をフクセスしてどの出力キュー 144 が送出側ポート 202 に対応するかを判定し、次に、識別された出力キュー 144 のロード・ポインタ 315 をフクセスして次に利用可能なデータ・エントリ 317 を見出し、そしてそのエントリ 317 をアクセスする。

ステップ 503 において、ファシリティ 141 はアクセスされたデータ・エントリ 317 のフィールド 331 内にトグル・ビット値をセットする。ファシリティ 141 は送出側ポート 202 のポート構造 380 のエントリ 383 から固有のトグル・ビット値を得て、次にエントリ 383 内のトグルビット値を変更する。

ステップ 504 で、ファシリティ 141 はアクセスされたデータ・エントリ 317 を完成する。ファシリティ 141 はたとえば第 321 上でアドレス変換機能を実行する。カーネル・チャンネル出力キュー・エントリ 317 に対しては、ファシリティ 141 はまた、ステップ 501 で判定された相手先ポート

220 I D を第 322 内に記憶し、またステップ 500 で受取られた相手先プロセッサ 101 の B I C 100 の I D を 323 に記憶する。ファシリティ 141 は第 323 のビットを指示する「クイック」メッセージはセットしない。

データ・エントリはこれで完成し、ステップ 505 で、ファシリティ 141 は出力キュー 144 のロード・ポインタ 315 を進めて次の空きデータ・エントリ 317 を指示する。次にステップ 508 で、ファシリティ 141 は、出力キュー制御構造 300 の出力ペンディング・フラッグ 307 をセットすることにより M S B I 148 を起動して出力キュー 144 を処理する。次に 507 で、ファシリティ 141 はリターンしてユーザ・プロセス 140 をリクエストして前記アクティビティの完成を通知する。

第 8 図ないし第 11 図はパケットを他のプロセッサ 101 に送出すときの M S B I 148 の作業をフローチャートにしたもので、これによりキュー構造 145 の出力キュー 144 および応答キュー 142 の用法がわかる。

第 1 図の系がステップ 597 にて起動されると、M S B I 148 は出力キュー制御構造 300 の「受取り F I F O は空きでない」のインディケータおよび出力ペンディング・フラッグ 307 のモニタを開始する。ステップ 598 で、もし受取り F I F O が空きでないことがわかったら、ステップ 600 で M S B I 148 は受取られたパケットの処理を実行する。受取られたパケットの処理は第 18 図ないし第 20 図にフローチャートで示され、後に説明する。もし受取り F I F O が空きであるならば、ステップ 599 で M S B I 148 はフラッグ 307 がセットされているか否かをチェックする。もしフラッグ 307 がセットされていないかまたは受取られたパケットの処理が終わったら、M S B I 148 はステップ 598 に戻る。

ステップ 599 で出力ペンディング・フラッグ 307 を検知したことに応答して、ステップ 601 で、M S B I 148 は送出すべき出力キュー・データ・エントリ 317 の探索を開始する。M S B I 148 は、構造 300 のポインタ 301、302 および次の出力キ

ユーポイント 311を利用して処理すべき出力キュー 144を見出す。次にMSB I 148はその出力キュー 144のエントリ 312をチェックしてこのキュー 144を飛び越すべきか否かを判定する。セットされたスキップ・フラッグ 312は、付属チャンネル 201の他端におけるポート 202の入力キューは充滿していて、したがってパケットを受取ることができないことを示す。したがってステップ 602でこの出力キュー 144は送出し可能なデータ・エントリ 317を有するとはみなされない。この場合には、ステップ 603の指示のように、MSB I 148はステップ 601に戻って他の出力キュー 144を探索する。

もしスキップ・フラッグ 312がセットされていなければ、MSB I 148はポイント 315、316を比較して、両者が等しいか否かを判定する。もし等しければ出力キュー 144は空きであり、送出すべきデータ・エントリ 317を有しない。したがってステップ 602では送出し可能なデータ・エントリ 317は見出されず、ステップ 603の指示のよう

にMSB I 148はステップ 601に戻って他の出力キュー 144を探索する。もしポイント 315、316が等しくなければ、ステップ 602で出力キュー 144は少なくとも1つの送出し可能なデータ・エントリ 317を有し、MSB I 148はアンロード・ポイント 318により指示されたデータ・エントリ 317をアクセスし、そのエントリにより示されるパケットをその相手先に送出す。

パケットを送出した（以下に説明）後に、MSB I 148はステップ 601に戻って送出すべき次のデータ・エントリ 317を求めてその出力キュー 144を探索し、キュー 144のすべてのエントリが送出されるまでこの処理を反復する。次にステップ 603で、MSB I 148はステップ 601に戻って他の出力キュー 144を探索する。

MSB I 148は、カーネル同期式チャンネルの出力キュー 144で出力キュー処理を開始する。ステップ 601で、MSB I 148はまず出力キュー制御構造 300のエントリ 301をアクセスし、カーネル同期式チャンネルの出力キュー 144を見出す。

カーネル同期式チャンネルの出力キュー 144を処理した後に、MSB I 148は構造 300に戻って出力キュー制御構造 300のポイント 302をアクセスして出力キューの連係リスト上の最初の出力キュー 144を見出す。次にMSB I 148はこの出力キューをアクセスして、前記のようにそれを処理する。しかしながらステップ 603では、MSB I 148は連係リスト上の出力キュー 144から出力キューのポイント 311を用いて連係リスト上で次の出力キュー 144を見つけ出す。MSB I 148は連係リスト上で前記のような方法で各出力キュー 144を処理する。

連係リスト上の最終出力キュー 144の次番出力キュー・ポイント 311は空白エントリを有する。ステップ 603でMSB I 148がこの空白エントリ 311に遭遇したとき、それは、連係リストの最終端に到達してそれまでの送出し可能なデータエントリ 317はすべて送出したことを指示する。その業務が完了するとMSB I 148はステップ 598に戻って新たな業務を探索する。

MSB I 148によるパケットの送出しならびにMSB I 148によるパケットの受取りは、MSB I 148によるB I C 110のバッファ 147との直接通信を含む。したがって、パケットの送り出しに含まれるステップを説明するまでに、少し本題を離れて、第12図に示すようにバッファ 147とそのMSB I 148へのインターフェースとを考えると、それが有益である。

バッファ 147は、他のプロセッサ 101に送出されるパケットを一時的に保有するための送出しFIFO 921と；論理的には送出しFIFO 921の延長部分でありそのアドレスにはパケットの最後の語が書き込まれるところのパケット終端（EOP）レジスタ 917と；他のプロセッサ 101から受取られたパケットを一時的に保有するための受取りFIFO 923と；他のプロセッサ 101から受取られた特定の肯定応答パケットを一時的に保有するための「クイック」メッセージ・レジスタ 918と；パケットの相手先およびタイプならびにこれらに關係のないその他の種々の機能を指定するの

に使用されるBIC制御レジスタ 913と; およびBIC 110と、FIFOレジスタまたは「クイック」メッセージ・レジスタから読取られたりあるいはそれに書込まれたりする最終バケットと、の両方の状態をMSBI 148に送り返すのに使用される複数のシングル・ビット・インディケータからなるステータス・レジスタ 918と; を含む。ステータス・レジスタ 918インディケータは読取られるとクリヤされるという性質を有する。

FIFOおよびレジスタは、プロセッサ 101のメモリ・アドレス空間 901内へマップ化されている。第12図に示すように、アドレス(J)への書込みは送出しFIFO 921を書込むことになる。アドレス(J)の読取りは受取りFIFO 923を読取ることになる。アドレス(K)への書込みはEOPレジスタ 917を書込むことになる。アドレス(K)の読取りは「クイック」メッセージレジスタ 918を読取ることになる。アドレス(L)への書込みは制御レジスタ 913に書込むことになる。またアドレス(M)の読取りはレジスタ 918を読

取ることになる。前記のアドレスは、メモリ・サブクトル内で隣接してアドレス番号が付けられる必要はない。

ここで第8図のステップ 602に戻るが、送出すべきデータ・エントリ 317を出力キュー 144内に見出すと、第9図のステップ 603でMSBI 148は、BIC 110の送出しFIFO 921に空きであるか否かをチェックする。MSBI 148は、ステータス・レジスタ 918を読取ることおよびそのSFE(送出しFIFO空き)ビットの状態をチェックすることにより判定をする。

もし送出しFIFO 921が空きでないことがわかると、MSBI 148は出力キュー制御構造 300のインディケータ 308をアクセスしてSFEのタイムアウト期間を求め、ステップ 609でその期間をかぞえはじめる。ステップ 610でMSBI 148は、SFEのタイムアウト期間を数えながらステータス・レジスタ 918のSFEビットのチェックを継続する。送出しFIFO 921が空きになるまえにもし期間がタイムアウトしたならば、これは

BIC 110のトラブル発生を意味する。したがってMSBI 148はステップ 619でBIC 110をリセットしてそれを初期化する。次にMSBI 148は応答キュー 142を介してトラブルをインターフェース・ファシリティ 141に通知する。ステップ 604で、MSBI 148は応答キュー 142内でロード・ポイント 360により指示された応答エントリにアクセスし、タグ・フィールド 370をセットしてエラー状態を識別し、データ・フィールド 371内にエラー状態により影響されるキュー 144の識別ラベルを記憶する。次にステップ 605でMSBI 148はロードポイント 360を過ぎて、次の自由な応答エントリ 362を指示し、ステップ 606でプロセッサ 101のファシリティ 141に割込みを出す。次にステップ 640でMSBI 148は非作動状態となり、このときMSBI 148はタスク・フラグ 305をモニタする; タスク・フラグ 305がインターフェース・ファシリティ 141によりセットされるとき、MSBI 148はパラメータ 306により指定されたタスクを実行する。タスクはステップ 598へ

のリターンを含んでもよい。

ファシリティ 141は第24図に示すように割込みに応答する。

もしステップ 608で送出しFIFO 921が空きであることがわかるか、またはステップ 610でSFEタイムアウト期間がくるまえに空きになったとしたら、MSBI 148は送出されるべきデータ・エントリ 317のBIC制御路 323をアクセスし、ステップ 612でその相手先IDとバケット・タイプの内容をBIC制御レジスタ 913に書込む。次にステップ 631で、MSBI 148は送出されるべきデータ・エントリ 317のバケット制御路 320にアクセスしてクイック・メッセージ・シーケンス番号をバケット制御路のフィールド 334内に入れる。シーケンス番号は丁度MSBI 148により保持されたシーケンス・カウントであり、返り肯定応答メッセージをバケットに付属されるのに使用される。次にステップ 632でMSBI 148はこのカウントを1つ増す。次にステップ 613でMSBI 148はバケット制御路 320を「送出しFIFO」

921に書込む。MSBI 148はまたステップ 633で、送出されるべきデータ・エントリ 317の相手先ポートID 322をアクセスしてそれを「送出しFIFO」921に書込む。次にMSBI 148は送出されるべきデータ・エントリ 317の番地 321をアクセスして、バケットにより転送されることをユーザが希望するデータをホールドするバッファの位置を決定し、ステップ 614でデータを「送出しFIFO」921のメモリ・マップ化アドレスに書込むことによりデータの「送出しFIFO」921へのDMA転送を実行する。

バッファからBIC「送出しFIFO」921へのデータ番地のDMA転送の完了に続いて、MSBI 148はユーザ制御番地 324-327にアクセスして、第10図のステップ 607でそれらを「送出しFIFO」921に書込む。MSBI 148はまたプロセッサ 101が知っている現在時刻をプロセッサ 101から得て、ステップ 815で、その時刻をバケットに対するタイム・スタンプとしてEOPレジスタ 917のアドレスに書込む。EOPレジスタ 917のア

ドレスに書込む。EOPレジスタ 917のアドレスに書込むことは結局タイム・スタンプを「送出しFIFO」921に書込むことになるが、これはその時刻が全バケットの所有であることをBIC 110に合図し、バケットにバス 150の取合いをさせ、バス 150を介してバケットをその相手先まで伝送させる。

MSBI 148がBIC 110に送出したバケットを第13図に示す。これは、出力キュー・データ・エントリ 317の番地 320、322、および 324-327と、DMA転送によりバッファからプロセッサ 101のメモリ内に転送されるデータ番地1023と、およびタイム・スタンプを保有する番地 328とからなる。

第10図に戻って、EOPレジスタ 917に書込むと、MSBI 148はステップ 618で出力キュー制御構造 300のインディケータ 303により指定されたSFEタイムアウト期間を数えはじめる。次にMSBI 148はステップ 817で、ステータス・レジスタ 918をモニタして戻値チェックし、ステップ 818に支持されるように、SFEビットおよび

RNACK (否定応答) を読取る。

ステップ 818で、もし「送出しFIFO」921が空きである(全バケットが送出された結果として)ことをSFEビットが指示するまでにSFEタイムアウト期間が満了したならば、これは連番10におけるハードウェア・トラブルの指示である。したがって、MSBI 148は第9図のステップ 819でBIC 110にリセット信号を送り応答キュー 142エントリを形成してファシリティ 114に通知する。

第10図のステップ 818で、もしバケットの送り出しが完了するまでに相手先のプロセッサ 101のBIC 110からRNACK (否定応答) 信号を受けたことをステータス・レジスタ 918のRNACKビットが指示したならば、これはたとえば相手先の受取りFIFO 923のオーバーフローの理由で相手先プロセッサ 101のBIC 110が全バケットを受取り損ったことの指示である。相手先プロセッサ 101のBIC 110に回復時間を与えるために、MSBI 148はステップ 820で、出力キュー

144のデータ・エントリ 317の処理を中止して、出力キュー 144をバイパスし、第8図のステップ 801に戻って送出されるべき他の出力キュー 144のデータエントリ 317を探索する。

第10図のステップ 818で、もしSFEタイムアウト期間が満了となるまでに、またはRNACK信号が受取られるまでに全バケットが送出されたことをMSBI 148が検出したら、これは相手先プロセッサ 101のBIC 110へのバケット転送が成功したことの指示である。ステップ 830で、MSBI 148は構造 300のインディケータ 304で指定されたACK (肯定応答) 期間を数えはじめる。

次にMSBI 148はステータス・レジスタ 918をモニタして、ステップ 821で指示されるようにそのQMNE (「クイック」メッセージ・レジスタは空白でない) ビットをチェックする。QMNEビットが相手先プロセッサ 101のMSBI 148から「クイック」メッセージの受取りを指示するまでもしACKタイムアウト期間が満了となっ

たならば、これは相手先プロセッサ 101のMSBI 146による送出しバケットの受取りが不成功に終ったことの指示である。相手先MSBI 146に回復時間を与えるために、MSBI 146はステップ 820で、現在処理中の出力キュー 144のデータ・エントリ 317の処理を中止して、第8図のステップ 801に戻り、送るべき他の出力キュー 144のデータ・エントリ 317を探索する。

第10図のステップ 821で、もし前記期間内にMSBI 146が相手先MSBI 146から「クイック」メッセージの受取りを検出したならば、MSBI 146は第11図のステップ 822でBIC 110の「クイック」メッセージ・レジスタ 918を読取って「クイック」メッセージを得る。

「クイック」メッセージは第14図に線図で示す。これは、このクイック・メッセージによる応答を受けたバケットのクイック・メッセージ・シーケンス番号フィールド 934と、そのメッセージの発生元を識別する「送出しBIC ID」フィールド 1101と、およびこのメッセージは応答されたバ

キュー 144のデータ・エントリ 317を探索する。

第11図のステップ 823で検査された「クイック」メッセージがもしACK (肯定応答)であれば、これは相手先プロセッサ 101によるバケットの受取りが成功したことを指示する。したがってMSBI 146は出力キュー 144のアンロード・ポイント 316をアクセスしてステップ 825でアンロード・ポイントを進め、これにより送出されたエントリ 317を出力キュー 144から有効に削除可能である。次にステップ 828でMSBI 146はフラッグ 313をチェックして、この出力キュー 144をいずれかのプロセス 140が待機中であるかを判定する。もし待機中でなければ、MSBI 146は第8図のステップ 801に戻って送られるべき他の出力キュー・データ・エントリ 317を探索する。

もしあるプロセス 140がこの出力キュー 144を待機中であれば、MSBI 146はバケットの転送の成功をファシリティ 141に通知する。第11図のステップ 827で、MSBI 146は応答キュー 142内にロード・ポイント 360により指示された応答

ケットの肯定応答 (ACK) であるか否定応答 (NACK) であるかを支持するタイプ・フィールド 1102とからなる単一語バケットである。

第11図のステップ 822で「クイック」メッセージを読取った後に、MSBI 146はステップ 823で受取られた「クイック」メッセージのタイプ・フィールド 1102を調査してメッセージ・タイプを判定する。もし「クイック」メッセージがNACK (否定応答)であれば、これは、入力キュー 143オーバーフローが発生したのでバケットは相手先MSBI 146により適切に受取られなかったことを指示する。トラブル発生状態を相手先プロセッサ 101で回復するための時間を与えるために、送出側MSBI 146はステップ 824で、それが現在処理中の出力キュー 144にスキップ・フラッグ 312をセットする。エントリ 312がセットされている間は、MSBI 146はその出力キュー 144のいかなるデータ・エントリ 317も処理しないし送出しをしないであろう。次にMSBI 146は第8図のステップ 801に戻って送出されるべき他の出力

エントリ 362をアクセスし、出力キュー・応答を識別するためにタグ・フラッグ 370をセットし、データ・フィールド 371内に出力キューの見出し 340のアドレスを記憶する。次にMSBI 146はステップ 828で、次に自由な応答エントリ 362を指示するためにポイント 360を進め、ステップ 829でプロセッサ 101のファシリティ 141に割込みを出す。次にMSBI 146は第8図のステップ 801に戻って送出すべき他の出力キュー・データ・エントリ 317を探索する。

ファシリティ 141は割込みの受取りに対し第24図に示すように応答する。

【連係図】

第1図のBIC 110およびバス 150を第15図に示す。BIC 110は、「受取りFIFO」923と、「送出しFIFO」921と、および「クイック」メッセージレジスタ 918と、からなるデータ・バッファ装置1220を含む。BIC 110はまた、制御装置1214と、制御レジスタ 913と、ステータス・レジスタ 916と、およびバケット終端 (EOP)

レジスタ 917をも含む。これらの装置は、プロセッサ 101とBIC 110との間、およびプロセッサ 101間の通信内に含まれる。「受取りFIFO」923ははいてくるバケットの貯蔵所であり、一方「送出しFIFO」921は出て行くバケットの貯蔵所である。「クイック」メッセージ・レジスタ 918は、受取られた「クイック」メッセージ用の貯蔵所であって、単一語高優先順位バケットである。制御レジスタ913は送出されるべきバケットの相手先の識別ラベルを指定するのに使用され、またプロセッサ 101がBIC 110のアクティビティを制御するための手段も備えている。ステータス・レジスタ 918は、BIC 110の状態およびFIFO 921および 923から読取られたりまたはそれに書込まれたりする最終バケットに関する情報をプロセッサ 101に送り返すために使用される。またEOPレジスタ 917はBIC 110のバス 150へのアクセスの取合いを開始させるために使用される。EOPレジスタ 917は機能的には「送出しFIFO」921の延長部であり、EOPレジスタ

917のアドレスに書込まれるデータは実際にはFIFO 921に書込まれ、またEOPレジスタ 917は、最終バケット後を添付するために「送出しFIFO」921に送出す追加のバケット終端ビットを発生する。

プロセッサ 101は、「送出しFIFO」921、制御レジスタ 913、およびEOPレジスタ 917に対する書込みアクセスを有し、またステータス・レジスタ 918、「受取りFIFO」923、および「クイック」メッセージ・レジスタ 918に対する読取りアクセスを有する。実施例では、これらの装置はプロセッサ 101のアドレス空間内にマップ化され(第12図参照)、そのメモリ・アドレス・バスを介してアドレスされる。この場合に、プロセッサ・バス1203はプロセッサ 101のメモリ・バスの単なる延長部である。たとえばプロセッサの周辺バスを使用するような代替バス装置は同様に容易に考案可能である。

装置 913-918、921 および 923のいずれかがプロセッサ 101によりアドレスされると、制御装置

1214はバス1215を介してプロセッサ 101から読取りまたは書込み信号を受取る。制御装置1214は、アドレスおよび特定操作…読取りかまたは書込みか…の2つの特定ビットを調査して、4つにアドレス可能なこれら装置のいずれかを選択し、またプロセッサ 101からアドレス可能装置へのアクセスをよく知られた標準方法により制御する。バッファ 147のFIFOおよびレジスタへの読取りおよび書込みアクセスの個別制御を実行するために、有限状態マシンまたは類似の論理を使用可能である。これらの操作を実行するための回路および論理は当業者には熟知であるので、ここでは詳細には説明しない。

制御装置1214は、アドレス情報を復号するために必要な復号器と、有限状態マシンを実行するための「フィード・プログラム可能論理配列(FPLA)」および「フィード・プログラム可能論理シーケンサ(FPLS)」と、からなる。これらの装置はすべて市販され、所定機能を実行するためのこれらの使用法は周知である。

プロセッサ 101は、メモリ・マップ化FIFOアドレスに反復書込みを実行することにより、バケットを一時に一路ずつ「送出しFIFO」921にロードする。FIFO 921内には一時に一つのバケットしか入れられない。実施例では、プロセッサ 101がバケットの語を「送出しFIFO」921に書込むときに、パリティ・ジェネレータ1227が各データ語に対するパリティ・コードを自動的に計算し、FIFO 921内に語と一緒にパリティ・コードも記憶する。

FIFO 921は、制御装置1214によりモニタされる通常の「バッファ空き」指示を備えた標準市販のFIFOである。FIFO 921内に記憶される最初の語は、「バッファ空き」の指示を否定し、制御装置1214によりステータス・レジスタ 918のSFEビットをクリアさせる。

プロセッサ 101はバケットの最後の語のみをEOPレジスタ 917のアドレスに書込んでバケットの終端を指示する。パリティ・ジェネレータ1217は同様にこの語に対するパリティ・コードも計

算し、それを「送出しFIFO」921に送出す。

「送出しFIFO」921に伝送するパケットのデータ語と共に、プロセッサ101はまた制御レジスタ913にBIC制御語323も伝送する。BIC制御後は、7ビットの相手先識別コード(DID)と1ビットのパケット・タイプ・コードとからなる。相手先コードは、パケットが伝送されるべき相手先プロセッサ101のBIG110そのものまたはそのアドレスである。パケット・タイプ・コードは、パケットがレギュラー・パケットかまたは「クイック」メッセージかを指示する。

この実施例の系においては、データ語は32ビットからなり、各々パリティ・ジェネレータ1227により発生される4つのパリティ・ビットが付加される。「送出しFIFO」921は、前記の38ビットとEOPレジスタ917により発生されるパケット終端ビットを収容するように37ビットの幅を有する。さらにEOPレジスタ917もまた、パケットの最後の語が受取られたことを制御装置1214に指

示するEOPW(パケット終端語)出力信号を発生する。EOPW信号は制御装置1214に対し相互連絡バス150に対する取合いを行わせる。

相互連絡バス150は平行バスで、これはアービタ回路1211が結合されている多重ビット「ブライオリティ」バス1251を含む。バス選択は、バス・アクセスをブライオリティ(優先順位)ベースで行なう多数の既知のバス選択方法のいずれかで実行可能である。最もよく知られたバス装置は、選択プロトコルが定義されている標準S-100バスである。アービタ回路1211はS-100バスに対する指定品のような周知のアービタ回路または多数の取合物の中から選択しかつ高優先順位取合物に許可信号を与えるところの類似回路でよい。この実施例の系においては、ある1つのバス・サイクルにバス150を取合うすべてのアービタ1211はそれに続くバス・サイクルで活性化されるアービタ1211がバス150を捕獲することを許可されるまでにサービスを受けるようにバス150に対し「公正な」アクセスを与えるように設けられている。こ

のようなバス割付けを実行する装置は、「記憶装置グループ・バス割付けシステム」という名称の米国特許第4,514,725号および第4,384,323号に開示されている。いわゆる「公正アクセス」体系を用いてバス150を取合う一群のBIC110はバス150のBSTリード1280を指定する。取合いはいくつかのバス・サイクルの間継続されるが、BSTリード1280が指定されている限り他のBIC110はバス150を取合うことを試みない。あるBIC110が取合いプロセスにあるとき、それは「コンテンツド」(CONTENTED)リード1281を指定する；BIC110がバス150を捕獲すると、それはリード1281を開放して「ホールド」(HOLD)リード1289を指定し、パケット転送期間中それを指定したまま保持する。

「ブライオリティ」(PRIORITY)バス1251は8本の優先順位リードを有する8ビット・バスである。このような装置は理論的には、S-100アービタ回路を用いて255種類の優先順位を形成するのに使用可能である。アービタ1211は「ブライオリティ」バス1251の8本のリードのすべてに接続される。アービタ1211は1Dレジスタ1212から独自の7ビット識別語を受取る。この識別語はプロセッサ101とBIC110との一致を定義し、これはまたバス150のアクセスのためのプロセッサ101の優先順位としても利用される。アービタ1211はまた制御レジスタ913から、送出されるパケットは、通常のデータ・パケットかまたは優先順位の高い「クイック」メッセージかを示す単一ビットの識別ラベルを受ける。アービタ1211は開放コレクタ論理ゲートなどを使用して、付属のプロセッサ101の優先順位を定義するように指定された「ブライオリティ」バス1251のうちの7本の低位優先順位リードのいくつかを保持する。受取られた単一ビット識別ラベルがパケットを「クイック」メッセージとして識別した場合のみ、アービタ1211は「ブライオリティ」バス1251の最高位の8番目のリードを保持する。このバス1251の最高位リードの値により識別された送出すべき「クイック」メッセージを有するプロセッサ101は、送出すべ

きレギュラ・パケットのみを有するプロセッサ 101より高位の優先順位を有する。8本の優先順位リードの状態により定義される高位の優先順位を有するプロセッサ 101が存在しない場合のみ、アービタ1211は制御装置1214にWON信号を提供し、これにより制御装置にバス 150の残りの部分をアクセスするように許可する。

各BIC 110の制御装置1214は、「データ」(DATA)バス1252からのデータの読取りまたは受取りを制御するための有限状態マシンと、データ・バス1252へのデータの書込みまたは送出しを制御するための有限状態マシンとを含む。「バス送出し有限状態マシン」を第16図に示す。第16図に示すシーケンスは「送出しFIFO」921からバス1252へデータを転送するのに使用される。

EOPレジスタ 917によりEOPW信号が発生された後に、有限状態マシンは「アイドル」(IDLE)状態1301から「準備完了」(READY)状態1302へ移動する。EOPW信号はバス 150と同期化されないで、この後者の状態が同期化状態とし

て使用される。もう1つ以上の他のアービタがバス 150を取合い中であることを指示するBSTリード1260が指定されたならば、「準備完了」状態1302から「待ち-1」(WAIT-1)状態1303へ移動が行われる。有限状態マシンが「準備完了」状態1302または「待ち-1」状態1303にあるときにもしBSTリード1260が指定されないならば、「取合い-1」(CONTENT-1)1304へ移動が行われる。

バス 150に接続されてアービタ1211は「プライオリティ」バス1251へ的一致を与えて、より高位の優先順位をもつアービタが「プライオリティ」バス1251上にあるときは引下がることによって優先順位を決定する。このような装置においては、物理的な回路の電氣的遅延に応じて、バス 150への取合いを解決するために1以上のバス・サイクル…できれば3ないし5バス・サイクル…を採用してもよい。第16図では、これが「取合い-1」状態1304と「取合い-N」状態1314との間の点線で表わされている。「取合い」状態の実際の数は

系の物理的パラメータに依存する設計選択事項である。いずれにしても、バス 150への取合いを解決するために通常必要な時間によりアクセスが与えられることを指示すべくもしアービタ1211が制御装置1214のWON信号を伝送したならば、「待ち-2」(WAIT-2)状態1305へ移動が行われる。この状態1305で制御装置1214はバス 150の「コンテンド」リーダー1261をモニタし、このリーダーがもはや指定されていないときは、「待ち-2」状態1305から「取合い-1」状態1304へ移動が行われる。「取合い」状態と「待ち-2」状態1305とを介しての順序づけは、アービタ1211が制御装置1214にWON信号を与えるまで反復される。

制御装置1214はまたバス 150の「ホールド」リード1259をモニタする。このリーダーはバス 150へのアクセスを得たBIC 110により指定されてデータを送出し中である。制御装置1214がWON信号を受取った後に「ホールド」リード1259が指定され続ける限り、「バス送出し有限状態マシン」は「取合い-N」状態1314を継続する。「ホールド

」リード1259が放棄されたとき「送出し」状態1306へ移動が行われる。この状態において制御装置1214はバス 150の「ホールド」リード1259を指定してバスの占有を支持する。

制御信号1214は、「送出し」状態1306にある間「送出しFIFO」921からのデータ語およびその他の情報「データ」バス1252に転送する。FIFO 921とバス1252との間の時間差を修正するために、「送出しFIFO」921と「データ」バス1252との間に周知のデータ・ラッチ1230が設けられる。「送出し」状態1306において、データをFIFO 921からバス1252へ転送させるようにラッチ1230が制御装置1214により可能化される。

「送出しFIFO」921から得られたパケット語は、一回に1つずつ32ビットの「データ」バス1252上に伝送される。バス1252上の各語には、制御レジスタ 913から得られかつ7ビットの「相手先1.D.」バス1253上に伝送される相手先アドレス(DID)と、1.D. レジスタ1212から得られかつ7ビットの「FORM」バス1258上に

伝送される送出元アドレスと、が付記され、これらのバスはすべてバス 150の一部である。メッセージ・タイプ…レギュラ・メッセージまたは「クイック」メッセージか…を指定する1ビット・コードおよび相手先BICリセットのようなメッセージの可能な副効果が制御ラインであるQMOUT1282および「リセット」1283上に1ライン1ビットで伝送され、これらのラインもまたバス150の一部である。

「送出し」状態1308にあるとき、制御装置1214はバス150のRNACKリード1255およびIAMLIVEリード1257をモニタする。相手先プロセッサ101のBIC110は伝送の受取りの応答を送出側制御装置1214に伝送するためにIAMLIVEリード1257を使用し、また「受取りFIFO」923または「クイック」メッセージ・レジスタ918のバリティ・エラーまたはオーバフローの検出というような伝送トラブルを送出側制御装置1214に伝送するためにRNACKリード1255を使用する。送出側BIC110がリード1255を指定したりまたはリード1257を

指定しそこなったときは、送出側制御装置1214の「バス送出し有限状態マシン」は「送出し」状態1308からRNACK状態1307に変わる。状態1307の状態においては、「バス送出し有限状態マシン」はさらに、「送出しFIFO」921からのデータおよびその他情報のバス150への転送を停止し、「送出しFIFO」921をクリアし、かつステータス・レジスタ918のRNACKビットを指定してトラブルをプロセッサ101に通知する。次に「最終」状態1308において、伝送があたかも通常のように完成したかのごとく「送出し有限状態マシン」の作業が継続される。

「データ」バス1252上で伝送されるパケットの最終語のみに、EOPリード1254を介して伝送されたEOPビットが付記される。このEOPビットが制御装置1214により検出されたときに、「最終」状態1308に転送が行われる。「最終」状態1308において、「送出しFIFO」921およびデータ・ラッチ1230は制御装置1214から不能化にされる。「最終」状態1308からは「アイドル」状態13

01へリターンが行われる。

RNACK状態1307における「送出しFIFO」921のクリアまたは「送出し」状態1308における最終語のFIFO921からの伝送により「バッファ空き」の指示が出され、これにより制御装置1214はステータス・レジスタ918のSFEビットをセットする。

次にバス150を介しての相手先プロセッサ101のBIC110によるパケットの受取りを考える。

BIC110内のI.D.一致回路1222は「相手先I.D.バス1253をモニタし、その内容をI.D.レジスタ1213内で指定されたアドレスと比較する。送出側プロセッサ101のBIC110が前記のようにパケットを相手先プロセッサ101に伝送するとき、I.D.一致回路1222がそれ自身のプロセッサ101のアドレスを確認し、一致したら「一致」信号を発生してそれを制御装置1214およびデータ・ラッチ1225に送る。データ・ラッチ1225は一致回路1222からの「一致」信号と制御装置

1224からの「可能化」信号とにより可能化されて、「データ」バス1252からのデータを、「受取りFIFO」923と、「クイック」メッセージ・レジスタ918と、およびバリティ・チェック1228とに転送する。

バリティ・チェック1228はデータ語と付属のバリティ・ビットとをラッチ1225から受取り、自動的にバリティをチェックする。不正バリティを検出したときは、チェック1228は1ビットのバリティ・エラー信号を発生してそのバリティが欠けた語に付属させる。

第17図は、バス150に接続された各BIC110の制御装置1214内にて行われるバス150受取り作業を制御するための有限状態マシンの状態を示す。「受取り有限状態マシン」の初期状態は「アイドル」状態1410である。回路1222からの「一致」信号の受取りに応答して制御装置1214は「開放受取り」状態1411に移動し、ただちにIAMLIVEリード1257上に信号を発生しはじめる。またこの状態においては「可能化」信号がデータ・ラッチ1225に

与えられ、バス1252から「受取りFIFO」923または「クイック」メッセージ・レジスタ918へのデータ転送が行われる。制御装置1214はバス150のQMOUTリード1252を調査する。もし「クイック」メッセージが検出されたら、制御装置1214は「クイック」メッセージ・レジスタ918に「可能化」信号を出す。もし「クイック」メッセージが検出されなければ、制御装置1214は受取りFIFO923に「可能化」信号を出す。バッファ・オーバーフローがない条件で、D、バス1253上のアドレスがI、D、レジスタ1212の内容と一致する限り、「開放受取り」状態1411から代る必要はない。

制御装置1214から「可能化」信号を受取る「クイック」メッセージ・レジスタ918および「受取りFIFO」923のいずれかはこれにより可能化されて受取られたデータを記憶する。「受取りFIFO」923は、「バッファ・フル」および「バッファ空き」の通常の指示を出す標準市販FIFOであるが単一のインディケータを介してこれを

行う：レジスタ918は1語分しかないので、空でないときはフルであり、またはその逆となる。

「受取りFIFO」923内に最初の語が記憶されると「バッファ空き」の指示は打消され、これにより制御装置1214はステータス・レジスタ918内のRFNEビットをセットする。レジスタ918内に語が記憶されると「バッファ空き」の指示は打消され、これにより制御装置1214のステータス・レジスタ918内にQMNEビットをセットする。

「受取りFIFO」および「クイック」メッセージ・レジスタ918は39ビットの幅を有する。32ビットはし受取られたデータ語を保有し、4ビットは付属のバリティビットを保有する。1ビットは、バリティ・エラーがあったときにバリティ・チェック1228から発生されたバリティ・エラー信号を保有する。1ビットは、「オーバーフロー・エラー」があったときに制御装置1214から発生された「オーバーフロー」エラー信号を保有する。バケットの最終の語だけにバス150のEOPリード1254上の1ビットのEOP信号が付記され、こ

のビットは付属のバケット語の39番目のビットに記憶される。

バケット終端(EOP)信号の受取りのまゝに形成された「受取りFIFO」923の「バッファ・フル」条件はオーバーフロー条件と解釈される。同様に、単一語「クイック」メッセージの受取りの間における「クイック」メッセージ・レジスタ918の「バッファは空でない」条件はオーバーフロー条件と解釈される。通常作業においては、プロセッサ101はデータ・バス1252の転送速度より遅い速度で「受取りFIFO」923または「クイック」メッセージ・レジスタ918からデータ語を読み取るので、相手プロセッサ101内に異常状態が存在しないときでもバッファ・オーバーフロー条件が起こる可能性があることは考慮しておかなければならない。図を簡単にするために、図においてはバッファ状態信号を制御信号1214に与えるリードはバッファ装置1228からの出力として示されている。

「開放受取り」状態1411においては、制御装置

1214は、「受取りFIFO」923の「バッファ・フル」の指示と、レジスタ918の「バッファ空き」の指示と、およびバス150のEOPリード1254とをモニタする。付属バケットに対するEOP信号がEOPリード1254上で受取られるまゝにおける「バッファ・フル」の発生は、「受取りFIFO」923内にはバケットがうまく記憶されなかったかまたは一部ののみしか記憶されなかったことを示す、同様に、レジスタ918が空でない間の「クイック」メッセージの受取りはレジスタ918のオーバーフローを示す。いずれの条件も、「受取り有限状態マシン」をRNACK状態1412へ移動させる。

「開放受取り」状態1411においてもまた制御装置1214はバリティ・チェック1228の出力をモニタする。チェック1228が受取られた語について不正バリティを検出してその指示を出すと、それは制御装置1214により検出され、「受取り有限状態マシン」はRNACK状態1412へ移動させられる。RNACK状態1412においては、制御装置1214はLMAALIVEリード1257の指定を解き、RNACKリード1255を指

定する。制御装置1214はまた「データ」ラッチ1225からの「可能化」信号を取除き、「受取りFIFO」923またはレジスタ918へのこれ以後の書き込みを遮断する。バッファ・オーバーフローのときは、制御装置1214は受取りFIFO923またはレジスタ918内に最後に受取られた語に付属させてオーバーフロー・ビットをセットする。制御装置1214はまたEOPビットを発生して最後に記憶すべく受取られた語にそれを付記する。最後に制御装置1214は、バケットを受取りつつあった「受取りFIFO」923およびレジスタ918のいずれから「可能化」信号を取除く。

RNACK 状態1412における前記のアクティビティに続いて、または「開放受取り」状態1411においてバッファ・オーバーフロー・エラーおよびパリティ・エラーのいずれも検出することなしにEOPリード1254上にEOP信号を検出したとき、「受取り有限状態マシン」は「アイドル」状態1410に戻り、系内の「データ」ラッチ1225、「受取りFIFO」923、および「クイック」メッセー

メッセージを読取らせ、これによりレジスタ918を空きにする。この条件により「バッファ空き」の指示を掲げ、これにより制御装置1214を介してステータス・レジスタ918内のQMN Eビットをリセットさせる。

〔バケット層（つづき）〕

第18図ないし第20図はBIC110を介してバケットを送出側プロセッサ101から受取るときのMSBI148の作業をフローチャートにして、構造145の入力キュー143および応答キュー142の用法を示す。

第1図の系がステップ597にて起動されると、MSBI148は出力キュー構造300のBICステータス・レジスタ918のRFNE（受取りFIFOは空きでない）ビットおよび出力ペンディング・フラッグ307のモニタを開始する。ステップ598で、MSBI148はRFNEビットがセットされているか否かをチェックする。RFNEがセットされていない間は、それは「受取りFIFO」923が空きであることを示し、ステップ599でM

ジ・レジスタ918から「可能化」信号を取除く。

ステータス・レジスタ918内にセットされたRFNEビットを検出するとその結果実施例においては、メモリ・マップ化FIFOアドレスを反復して読取るにより、MSBI148を介して一回に語ずつデータを「受取りFIFO」923から読取らせる。バケットの最終語が読取られると、制御装置1214は、一定時間後に次のバケットを読み込むためにプロセッサ101が命令で指定した時間が満了するまで、制御装置1214は「受取りFIFO」923からの読取りを以後中止する。プロセッサ101はFIFO923が空きになるまでFIFO923からのバケットの読取りを継続する。この条件により「バッファ空き」の指示を掲げ、これにより制御装置1214を介してステータス・レジスタ918内のRFNEをリセットさせる。

同様に、ステータス・レジスタ918内にセットされたQMN Eビットを検出するとその結果、MSBI148を介してレジスタ918から「クイック」

MSBI148はフラッグ307をチェックする。ステップ599でもしフラッグ307がセットされていることがわかれば、ステップ1503でMSBI148は出力キュー144を処理し、次にステップ598へ戻る。出力キューの処理は第8図ないし第11図にフローチャートで示され、これは既に説明したとおりである。ステップ598でRFNEビットが「受取りFIFO」923は空きではない」ことを指示すると、それは、1つ以上のバケットがBIC110により受取られたかまたは受取られつつあることを意味する。したがってステップ1504で、MSBI148は「受取りFIFO」923に対応するメモリ・アドレスを反復して読取るにより、受取られたバケットの「受取りFIFO」923からの読取りを開始する。

ステップ1504で、「受取りFIFO」923で最初の読取り作業が行われるとその結果、MSBI148はバケット制御語320および相手先ポートID語322（第13図参照）を取得し、MSBI148はステップ1515で語320を作業記憶領域に記憶する。

もし読取られた語のいずれかに、パケットの最後に受取られた語であることを示すEOP（パケットの終端）ビット、パケットの受取中に「受取りFIFO」923のオーバーフロー条件が発生したことを示すビット、またはその語にバリティ・ビット・エラーが検出されたことを示すビットが付記されたならば、これらの語を読取るとその結果、ステータス・レジスタ 918のそれぞれEOPビット、SPERR ビット、またはSPERR ビットがセットされる。これら2つの語のみはパケットを形成することができないので、EOPのセットもまたパケット受取りにおけるエラーを示す。したがってステップ1505で、MSBI 146はステータス・レジスタ 918を読取り、EOPビット、SPERR ビット、およびSPERR をチェックする。もしこれらのビットの1つ以上がセットされていれば、パケット受取りにおけるエラーが示され、ステップ1508でMSBI 146は受取られたパケットを「受取りFIFO」923から削除しそれを放棄する。もしEOPビットがセットされていれば、MSBI

146は、「受取りFIFO」923から読取った1つまたは複数の語を単に廃棄するだけである。もしEOPビットがセットされていなければ、MSBI 146は「受取りFIFO」923を読取って、ステータス・レジスタ 918のEOPビットがセットされるまで読取られたすべての語を放棄する。MSBI 146は次にステップ598に戻る。

ステップ1505で、もしEOPビットまたはERRビットのいずれがセットされていなければ、ステップ1507でMSBI 146は受取られたパケットが「再スタート」パケットが否かをチェックする。再スタート・パケットとは、MSBI 146によりある出力キュー 144の処理を再スタートするために、その出力キュー 144のスキップ・フラッグ 312をクリアすることを目的とするパケットである。再スタート・パケットはパケットの相手先ポートID語 322内の特殊コードにより識別される。これは、それに付属する出力キュー 144が「呼びされる」べきである相手先プロセッサ 101上のポート 202を識別する語以外はデータを有していない。

したがってステップ1507で、MSBI 146は語 322をチェックしてそれがこの特殊コードを含むか否かを判定する。もし含んでいれば、MSBI 146は第20図のステップ1508で、FIFO 923がマップ化されているメモリ・アドレス上で5語の読取り作業を行うことにより、語 324-328からなるパケットの残り部を「受取りFIFO」923から読取る。

前記のように、パケットの中で最後に受取られる語にはEOPビットが付記され、また受取られた語の中でBIC 110によりRNACK 信号が送出される語にはSPERR ビットまたはSPERR ビットが付記される。これら3つのビットのいずれかが付記された語を「受取りFIFO」923から読取るとその結果、ステータス・レジスタ 918の対応ビットがセットされる。EOPビットが付記された語の先を読もうとしても、ステータス・レジスタ 918のEOPERRビットがセットされているので、パケット制御語 320のフィールド 332は実際のパケット長に対応しないことをこれは示している。し

たがってMSBI 146はステータス・レジスタ 918を読取って、EOPビットがセットされていないかどうか、またはSPERR ビット、SPERR ビット、あるいはEOPERRビットがセットされているか否かを判定する。もしそうであるなら、パケットの受取りにエラーが指示され、MSBI 146はステップ1510でパケットを放棄し、次にステップ 598に戻る。

ステップ1509で、もし受取り中にエラーが指示されなければ、MSBI 146は、パケットはどのポート 202にアドレスされかをそのパケットから判定し、そのポートのポート構造 380をアクセスしてどの出力キュー 144がそのポートに対応するかをその出力キュー・ポインタ 381から判定し、そして次にステップ1511でその出力キュー 144のスキップ・フラッグ 312をクリアする。次にMSBI 146はステップ1512で、出力キュー制御構造 300の出力ペンディング・フラッグ 307をセットすることにより、第8図ないし第11図の出力キュー処理を起動する。再スタート・パケットの適切

な受取りを肯定応答するために、MSBI 146はステップ1547で第21図のルーチンを出して再スタート・パケットの送出元に「クイック」メッセージを送る。次にMSBI 146はステップ 598に戻る。

第18図のステップ1507で、受取られたパケットがもし再スタート・パケットでないと判定されたら、ステップ1513でMSBI 146は、受取られたパケットのパケット制御語 320のトグル・ビット・フィールド 331をチェックしてその値が適切であるか否かを判定する。MSBI 146は、受取られたパケットの「相手先ポート」ID語 322を利用してそのパケットに対する相手先ポート 202はどれかを判定し、またそのポート 202のポート構造 380のチャンネル・タイプ・インディケータ 385をアクセスしてそのポート 202が付属するチャンネル 201はカーネル・チャンネルかまたはユーザ・チャンネルであれば、MSBI 146はポート構造 380の入力キュー・トグル 384をアクセスしてこれにより記憶された1つのトグル・ビット値

を読む。もしチャンネル 201がカーネルチャンネルであれば、MSBI 146はポート構造 380の入力キュー・トグル 384をアクセスしてこれにより記憶されている複数のトグル・ビット値の中からパケットの送出元であるプロセス 101に対応するものを読取る。MSBI 146は、パケット制御語 320の送出側BIC IDフィールド 333が送出側プロセス 101を決定する。次にMSBI 146は、アクセスされた構造 380の入力キュー・トグル 384から得られたトグル・ビットの値を受取られたパケット制御語 320のトグル・ビット・フィールド 331の値と比較して、それらが等しいかどうかを判定する。もしそれらが等しくなければ、トグル・ビット・フィールド 331の値は不適切である。

不適切なトグル・ビット・フィールド 331の値は、パケットの受取りを応答するためにこのプロセス 101から送出側プロセス 101に送られたACK (肯定応答) 「クイック」メッセージが送出側プロセス 101により受取られなかったこと

の指示であり、その結果、送出側プロセス 101はパケットを再伝送してしまう。したがってこのパケットはここでMSBI 146により2回送られたことになり、その必要はない。したがってステップ1528でMSBI 146は「受取りFIFO」923から受取られたパケットを削除する。MSBI 146は「受取りFIFO」923を読取り、かつステータス・レジスタ 918のEOPビットがセットされるまで読取られた語はすべて放棄することによりこれを実行する。次にMSBI 146は、ステータス・レジスタ 918のSPERR、SPERR、およびBOPERRビットをチェックして、BIC 110がこのパケットの受取り後に送出側プロセス 101にRNACK 信号を送ったか否かを判定する。もしこれらのビットの少なくとも1つがセットされていれば、RNACK 信号が送られて、送出側MSBI 146に、…「受取りFIFO」923のオーバーフロー、受取られたパケット上のバリティ・エラーの検出、または最終パケット語を過ぎた読取り試み…という受取り上のトラブルを通知したはずであり、ま

送出側MSBI 146はこれらのパケットを将来のいつかに再伝送するであろう。これ以上の情報は送出側プロセス 101には与えられず、MSBI 146はステップ 598に戻る。

ステップ1527でもSPERR ビット、SPERR ビット、またはBOPERRビットのいずれもセットされていないとわかれれば、送出側プロセス 101のMSBI 146にRNACK 信号は送られていないはずである。したがって、受取側プロセス 101のMSBI 146はステップ1502で第21図のルーチンを出して送出側プロセス 101にACK「クイック」メッセージを送り、前のパケットの受取りが成功したことを通知する。次にMSBI 146はステップ 598に戻る。

第18図のステップ1513に戻って、チェックの結果受取られたトグル・ビットの値がもし不適切であれば、ステップ1514でMSBI 146は、受取られたパケットの相手先ポートID語 322により識別されたポート 202の入力キュー 143がフルであるか否かをチェックする。MSBI 146は相手先

ポート 202のポート構造 380の入力キュー・ポインタ 382をアクセスして、どれがこのポート 202の入力キュー 143であるかを判定する。次にMSB I 146はその入力キュー 143のポインタ 352および 353の値を比較し、それらが等しいか否かを判定する。もし等しければ入力キュー 143はフルである。したがってMSB I 146は第19図のステップ1530でステップ1528と同様に、受取られたパケットを「受取りFIFO」923から削除する。次にMSB I 146は、ステップ1531でステップ1527と同様に、このパケットの受取りに関連してRNACK が送られたか否かをチェックする。もし送られていればMSB I 146は単にステップ 598に戻るだけである。しかし、もしRNACK が送られていなければMSB I 146はステップ1929で、キュー 143の入力キュー・フル・フラグ 348をセットして、フルであることをキュー 143にマーキングする。フラグ 348はカウンタ・フラグであり、MSB I 146はそれを低位マーク・インディケータ 349に固有された値にセットする。MSB I 1

読取り、ステップ1501でそれを作業領域内に記憶する。

ここでMSB I 146はステップ1518で、ステータス・レジスタ 918のEOP、SPERR、SPERR およびBOPERRビットをチェックして、ERRビットのいずれかがセットされているか、またはEOPビットがセットされていないかを判定する。いずれの条件も、第20図のステップ1509で説明したように、パケットの受取りにおけるエラーを示し、これらに反応してMSB I 146はステップ1550で、受取られたパケットを放棄する。ステップ1550の活動は、もしレジスタ 918のEOPビットがステップ1518でセットされていないことがわかれば、EOPに遭遇するまで受取りFIFO 923を読取ることを含む。次にMSB I 146はステップ 598に戻る。

MSB I 146は入力キュー 143のロード・ポインタ 352を進めなかったため、入力キュー 143のデータ・エントリ 354の削除またはバッファ・アドレス語 355により指示されたバッファの削除

48はまたステップ1532で第21図のルーチンを出して、丁度処理中のパケットの送出元へ否定応答(NACK)を送る。次にMSB I 146はステップ 598にもどる。

第18図のステップ1514に戻って、もし入力キュー 143がフルではないと判定されれば、MSB I 146はステップ1516で、受取られたパケットのバッファ・データ語1023を「受取りFIFO」923からプロセッサ 101のメモリ内のバッファへDM A転送を利用して転送する。バッファは、キューのロード・ポインタ 352で指示された入力キュー・データ・エントリ 354のバッファ・アドレス 355により識別される。MSB I 146は、パケット制御語 320のバッファ・サイズ・フィールド 332により指定された数の語についてDMA転送を実行する。次にMSB I 146は「受取りFIFO」923からユーザ制御語 324-327を読み取り、ステップ1517でこれらを入力キュー・エントリ 354の対応する語内に記憶する。MSB I 146はまた「受取りFIFO 923からタイム・スタンプ語 328も

も必要ではない。さらに、もしステータス・レジスタ 918のSPERR またはSPERR ビットがセットされていたら、BIC 110により送られたRNACK 番号は、パケットの送出元であるプロセッサ 101を介してパケットを再送させるであろう。もしEOPビットがセットされないかまたはBOPERRビットがセットされたならば、「クイック」メッセージが受取れないと、パケットの送出元であるプロセッサ 101を介してパケットを再送させるであろう。いずれの場合も結局パケットはこの相手先プロセッサ 101に再送されるであろう。

もし、ステップ1518におけるチェックにより受取り時にエラーが示されなければ、ステップ1519で、MSB I 146は作業領域からパケット制御語を抽出してそれを入力キュー・データ・エントリ 354の語 320内に記憶する。次にステップ1520で、MSB I 146は入力キュー 143のロード・ポインタ 352を進め、たった今挿入されたデータ・エントリ 354の内容を入力キュー 143上に機械的に置く、次にMSB I 146は入力キュー 143のプロセ

ス待機中フラッグ 350およびデキュー・タイプ・インディケータ 358をチェックし、ステップ1521で、プロセスまたは期込みハンドラのいずれかがそれぞれこの入力キュー 143上で待機中かどうかを判定する。もし待機中であれば第20図のステップ1522でフラッグ 350をクリアし、次にステップ1523-1525で第9図のステップ 804-808の説明のように、応答キュー 142によりファシリティ 141にバケットの受取りを通知する。

第19図のステップ1521でもしこの入力キュー 143を待機するプロセスがないことが判定されたとき、または第20図のステップ1525に続いて、MSB 148はステップ1545で第21図のルーチンを出し、受取られたバケットの送出元であるプロセス 101に肯定応答 (ACK) 「クイック」メッセージを送る。次にMSB 148はステップ1546で第22図のルーチンを出し、第19図のステップ1501で一時的に記憶されたタイム・スタンプを処理する。最後にMSB 148はステップ 598に戻る。

のBIC 110のIDと、および指定されたクイック・メッセージ・タイプと、を挿入する。次にルーチンはステップ 1533-1538で第9図のステップ 808-811と同様に、「送出しFIFO」 921が空になるのを待機する。「送出しFIFO」 921が空になるまえにもしSFEタイムアウト期間が満了になると、ルーチンはステップ 1537-1542で第9図のステップ 819および 804-808の説明と同様に、BIC 110をリセットし、応答キュー 142のエントリ 862を形成し、かつインターフェース・ファシリティ 141に期込みを出してそれにタイムアウトを通知する。次にルーチンはステップ1544で、第9図のステップ 840の状態と同等の非作動状態にはいる。

「送出しFIFO」 921が空になると、第21図ノステップ1538で、ルーチンは制御語をBIC 制御レジスタ 913に書込む。次にステップ1539で、ルーチンは「クイック」メッセージをBICE OPレジスタ 917に書込む。次にステップ1543で、ルーチンは呼出しを受けた点へ戻る。

第21図は、それから受取られたバケットに回答して送出側プロセッサ 101にクイック・メッセージを送るためにMSB 148により使用されるルーチンをフローチャートで示す。ルーチン呼出しの一部として、MSB 148はステップ1544で、受取られたバケットのバケット制御語 320のフィールド 334からそれが取得すクイック・メッセージ・シーケンス番号と、受取られたバケットの区 320のフィールド 333から得られた送出側BIC IDと、およびバケットは肯定応答 (ACK) かまたは否定応答 (NACK) かと、を指定する。呼出しに回答してルーチンはステップ1528で、出力キュー・データ・エントリ 317の制御語 320に類似の制御語を形成する。ルーチンは相手先BIC IDとして、受取られた送出側BIC IDと「クイック」メッセージを指示するフラッグとを語 323に挿入する。ステップ1528ではルーチンはまた第14図に示すような「クイック」メッセージを形成し、その中に受取られるクイック・メッセージのシーケンス番号と、このプロセス 101

第22図は、タイム・スタンプを処理するためにMSB 148により使用されるコード部分をフローチャートで示す。タイム・スタンプ語 328は、タイム・データを有する複数ビットと、同一「エポック (時期)」かまたは異なる「エポック」かを示す単一ビットとを含む。タイム値は同一エポック内ではそれ自身を反復せず、異なるエポック内で反復してもよい。第1図の系内のタイム1つのプロセッサ 101から流される。あるプロセッサ 101はその現在タイムを他のプロセッサ 101から受取られたタイム・スタンプ値と置き換え可能であるが、「ホスト」プロセッサ 101だけは第1図の系内のタイムを1つずつ運搬することが可能である。タイム・スタンプを他のプロセッサから受取っている間は非ホスト・プロセッサ 101に対してはタイムは「停止する」。

ステップ2200で、MSB 148は、このコード部分に対し、タイム・スタンプ 328が一時的に記憶される、作業領域のアドレスと、受取られるバケットの語 320のフィールド 333 から得られる送

出側 B I C I D と、を指定する。呼出しに应答してルーチンはステップ 2201 で、語 328 のエポック・ビット値をプロセス 101 が現在使用中のタイムのエポック・ビット値と比較して両方のタイムは同一エポックに属するか否かを判定する。もしエポック・ビット値が同一であればエポックは同一であることを意味し、ステップ 2204 で、ルーチンは語 328 のタイム・データ・フィールドの値をプロセス 101 が現在使用中のタイム値と比較する。語 328 のタイム・データ・フィールドの値が現在使用されているタイム値よりも大きければ、ステップ 2205 で、ルーチンは現在使用されている値を放棄してそれを語 328 のタイム・データ・フィールドの値と置換え、これによりプロセス 101 のタイムを更新する。次にステップ 2206 でルーチンは呼出しを受けた点に戻る。語 328 のタイム・データ・フィールドの値が現在使用されているタイム値よりも大きくなければ、ステップ 2206 で、ルーチンは単に呼出しを受けた点に戻るだけで、これにより語 328 を介して受取られたタ

イム値を有効に放棄する。

ステップ 2201 でもしエポックが異なると判定されたならば、ステップ 2202 でルーチンは呼出しの一部として受取られた送出側 B I C I D をチェックして、タイム・スタンプが「ホスト」プロセス 101 から得られたものかどうか判定される。もしそうでなければ、ステップ 2206 で、コードは単に呼出しを受けた点に戻るだけで、これにより語 328 を介して受取られたタイム値を有効に放棄する。もしタイム・スタンプが「ホスト」プロセス 101 から受取られたものであれば、ステップ 2203 で、コードは現在使用されているタイムおよびエポックを放棄してこれらを「ホスト」プロセス 101 から得られた値と置換える。次にステップ 2206 で、コードは呼出しを受けた点に戻る。

第 23 図は、他のプロセス 101 からパケットを受取る際のインターフェース・ファシリティ 141 の作業をフローチャートで示し、これによりキュー構造 145 の入力キュー 143 の用法を示す。

他のプロセス 101 から受取られたパケットか

らデータを取得することを望むユーザ・プロセス 140 は、ステップ 1900 で、READP コールを介してファシリティ 141 を呼出す。呼出しの一部として、ユーザ・プロセス 140 はそれからデータを取得したいポート 202 を指定し、またカーネル・チャネルのポート 202 に対しては送出側 B I C I D も指定する。呼出しに应答してステップ 1901 で、インターフェース・ファシリティ 141 は、そのポートの入力キュー 143 は空きであるか否か、またはそれはこの呼出しを満足させる何らかの受け取り情報を含むかどうかをまずチェックする。インターフェース・ファシリティ 141 は指定されたポート 202 のポート構造 380 の入力キュー・ポインタ 382 にアクセスし、指定されたポート 202 にどの入力キューが付属されるかを判定する。

次にインターフェース・ファシリティ 141 は入力キュー 143 のポインタ 352, 353 をアクセスしてこれらと比較する。もしアンロード・ポインタ 353 がロード・ポインタ 352 により指示されたエントリ 354 の直前のエントリ 354 を指示するならば、

入力キュー 143 は空きであり、ステップ 1902 で、ポートのポート構造 380 のステータス・インディケータ 387 をチェックすることにより、インターフェース・ファシリティ 141 は付属のポート 202 が切断されているか否かをチェックする。ポート 202 が切断されていることをもしエントリ 387 が指示するならば、ステップ 1908 で、インターフェース・ファシリティ 141 はエラー指示を有しながら呼出側プロセス 140 に戻る。

ステップ 1902 でもしポート 202 が切断されているとの指示がなければ、ステップ 1903 で、インターフェース・ファシリティはステップ 1900 で受取った呼出しのパラメータをチェックして、呼出側プロセス 140 がキュー上で寝込んで入力への繰入れ待機を希望するか否かを判定する。もし希望しなければ、ステップ 1908 で、インターフェース・ファシリティ 141 はエラー指示を有しながら呼出側プロセス 140 に戻る。呼出側プロセス 140 がもし待機を希望すれば、ステップ 1904 で、インターフェース・ファシリティ 141 は入力キュー 143

のプロセス待機中フラッグ 350をセットして、プロセスがこの入力キュー 143で復達み中であることを指示する。次にステップ1916で、インターフェース・ファシリティ 141は呼出し側プロセスを通常のUNIXシステムの方法で復達ませる。プロセスを復達させることの中に含まれる活動は、プロセスが復達みにはいるときのプロセス状態を保存すること、およびこの入力キュー 143のアドレスに付属された復達み中プロセス・リストにプロセスIDを追加すること、を含む。次に1905で、インターフェース・ファシリティ 141は、応答、処理、および他のプロセス 140からの別の呼出しというような他の作業を継続する。

パケットを受取り、その結果、プロセスが待機中であった入力キュー 143内にMSBI 146がデータ・エントリ 354を形成すると、MSBI 146は割込みを出す(第20図のステップ1925)。割込みはインターフェース・ファシリティ 141により受取られ、第24図に示しかつ後に説明するように処理される。処理の一部として、復達み中のプロ

セスが呼起こされる。復達み中のプロセスの予呼起こおよび実行再開の中には、そのプロセスが復達みにはいったときのプロセス状態の回復が含まれる。この活動はステップ1906でインターフェース・ファシリティ 141の実行を再開させる。ステップ1907で、インターフェース・ファシリティ 141は入力キューが付属されているポート 202のポート構造 380のステータス・インディケータ 387を再びチェックし、ポートが切断されているとのマークが付記されているか否かを判定する。もしそうであるならば、ステップ1908で、インターフェース・ファシリティ 141はエラー指示を保存しながら呼起こされたプロセス 140に戻る。

ステップ1907でもしポート 202が切断されていないか、またはステップ1901で入力キュー 143が空きでなければ、インターフェース・ファシリティ 141は入力キューのアンロード・ポインタ 353で指示された入力キュー・データ・エントリ 354を読取り、次にステップ1909でポインタ 353を進めて次のエントリ 354を指示する。次にステップ

1910でインターフェース・ファシリティ 141は入力キュー・フル・フラグ 348をチェックして入力キューがフルのフラグ表示がなさしているか否かを判定する。フラグ 348はカウント・フラグであり、インターフェース・ファシリティ 141はステップ1910で、フラグ 348がゼロ以外の値を有するか否かをチェックする。もしそうであればフラグ 348はセットされているとみなされ、ステップ1911で、インターフェース・ファシリティ 141はフラグ 348のカウントを減じてステップ1909でデータ・エントリ 354が入力キュー 143から削除されたという事実を反映させる。次にステップ1912で、インターフェース・ファシリティはフラグ 348を再チェックし、それがゼロまで減じられたか否かを判定する。もしそうであれば、これは、十分に多くのエントリ 354が入力キュー 143から削除されかつキュー 143は新たなエントリ 354を受入れる準備が完了していることの意味である。したがってステップ1913で、ポートのポート構造 380の出力キュー・ポインタ 381により

識別された出力キュー 144のデータ・エントリ 317内に、インターフェース・ファシリティ 141は前に説明のような「再スタート」メッセージを構成する。次にステップ1914でMSBI 146は出力キュー制御構造 300のタスク・フラグ 305をセットして出力キュー 144の処理を起動し、これによりそのポートに付属されたチャネル 201の他端部にあるプロセス 101に再スタートメッセージを送る。

ステップ1914に続いて、または入力キュー 143のフラグ 348の値が減じられてステップ1912ではゼロ以外の値であるかあるいはステップ1910ではゼロである場合には、ステップ1915でインターフェース・ファシリティ 141は、ステップ1909で読取った入力キュー 143データ・エントリ 354のバッファ・アドレス語 355を有して呼出し側プロセス 140に戻る。

MSBI 146からの割込みを受取ったことに對するインターフェース・ファシリティ 141の割込みハンドラによる応答を第24図に示す。前に説明

したように、割込みを出すまえに応答キュー 142 内にユーザ・エントリ 382 が構成される。ステップ 2000 で割込みを受けたことに応答して、割込みハンドラはステップ 2001 で、ロード・ポインタ 380 をアンロード・ポインタ 381 と比較することにより、応答キュー 142 が空であるか否かをチェックする。もしアンロード・ポインタ 381 がロード・ポインタ 380 より指示されたエントリ 382 の直前のエントリ 382 を指示するならば、キュー 142 は空であり、割込みハンドラはステップ 2002 で、割込みを受けたインターフェース・ファンクティビティ 141 のアクティビティへ戻る。もしキュー 142 が空でない（これは割込みの受取り直後ではないが）ならば、ステップ 2003 で割込みハンドラは、アンロード・ポインタ 381 より指示された応答キュー・ユーザ・エントリ 382 を読取り、次にステップ 2004 でポインタ 381 を進めて次の応答エントリ 382 を指示する。次にステップ 2005 で、割込みハンドラは読取られた応答エントリ 382 のタグ語 370 を調査してエントリ・タイプを判定す

る。

もしエントリ・タイプが入力であれば、これは、そのプロセス待機中インディケータ 350 がセットされているかまたは入力を同期的に割込みハンドラ内にデキュー（deque: 待ち行列から外す）するかしている入力キュー 143 に対してバケットを受取ったことを示している。入力キュー 143 は、入力ハンドラが直接呼出するところのこれに付属のサービス・ルーチン…プロセスではない…を入力キューが有したときに同期的にデキューされる。ステップ 2006 で、割込みハンドラは応答エントリ 382 のデータ語 371 を調査して該当の入力キュー 143 を識別し、識別された入力キュー 143 に付属されたポートのポート構造 380 のチャンネル・タイプ・インディケータ 385 をアクセスし、インディケータ 385 を調査してポート 202 に付属するチャンネル 201 は同期的にデキューされる非同期式チャンネルであるか否かを判定する。もしそうであれば、ステップ 2007 で割込みハンドラは待機中のルーチンを出し、次にステップ 2001 に戻る。も

しそうでなければ、ステップ 2008 で割込みハンドラは、入力キュー 143 上で復送込み中であって入力キュー 143 に付属のプロセス ID のリストで識別された一つ以上のプロセスを呼び起こす。割込みハンドラは次にステップ 2001 に戻る。

ステップ 2005 でエントリ・タイプが出力であることと判定されれば、応答エントリ 382 は、そのプロセス待機中フラグ 313 がセットされている出力キュー 144 のデータ・エントリ 317 に対応するバケットを送出したことの合図である。次にステップ 2008 で割込みハンドラは、応答エントリ 382 のデータ語 371 を調査してその出力キュー 144 を識別し、その出力キュー 144 で復送込み中のプロセス 140 を呼び起こす。割込みハンドラは次にステップ 2001 に戻る。

ステップ 2005 でもしエントリ・タイプが入力または出力以外のものであると判定されたら、ステップ 2009 で割込みハンドラは、そのエントリ・タイプに適切であるようなエントリ 382 を処理する。実施例では、割込みハンドラは応答エントリ 382

をプロセッサ 101 の端上にプリントさせる。割込みハンドラは次にステップ 2001 に戻る。

前記の実施例に種々の変更または修正が可能であることは当業者には明らかなことであることは当然理解すべきである。これらの変更および修正は、発明の精神および範囲を逸脱することなく、またその付帯の利点を減ずることなく実施可能である。したがって、このような変更および修正はすべて本発明の特許請求の範囲内に含まれるものであることは意図されている。

4 図面の簡単な説明

第 1 図は本発明の実施例を想像化した多重プロセッサ系のブロック図；

第 2 図は第 1 図の系のプロセッサ間通信論理構造を示すブロック型式図

第 3 図ないし第 5 図は第 1 図の系のキュー構造のブロック図；

第 6 図は第 1 図の系のインターフェース・ファンクティビティ 141 が GETP コールに回答したときに行なう作業の流れ図；

第7図は第1図の系のインターフェース・ファシリティ 141がWRITEコールに応答したときに行なう作業の流れ図；

第8図ないし第11図は第1図のMSBIがパケットを送り出すときに行なう作業の流れ図；

第12図は第1図の系のプロセッサのアドレス空間へのBICバッファのマップ化を示すブロック形式図；

第13図はレギュラ・パケットの構成を示すブロック形式図；

第14図は「クイック」メッセージ・パケットの構成を示すブロック形式図；

第15図は第1図の系のBIC およびバスのブロック図；

第16図は第15図のBICの制御装置の「送出し有限状態マシン」の状態図；

第17図は第15図のBICの制御装置の「受取り有限状態マシン」の状態図；

第18図ないし第20図は第1図の系のMSBIがパケットを受取るときに行なう作業の流れ図；

第21図は第1図の系のMSBIの「送出しクイック・メッセージ」ルーチンの流れ図；

第22図は第1図の系のMSBIの「プロセス・タイム・スタンプ」の流れ図；

第23図は第1図の系のインターフェース・ファシリティ 141がREADP コールに答したときに行なう作業の流れ図；

第24図は第1図の系のインターフェース・ファシリティ 141の新込み処理ルーチンの流れ図；および

第25図は単一図を形成するために第3図ないし第5図の配置を示す構成図である。

出 願 人：アメリカン テレフォン アンド
テレグラフ カムパニー
代 理 人：三 俣 弘 文

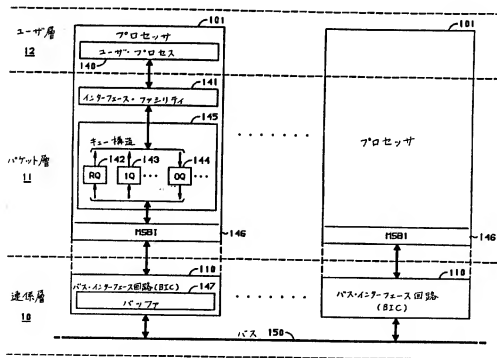


FIG. 1

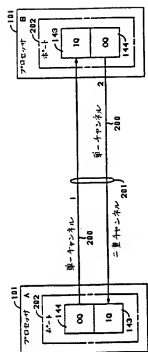


FIG. 2

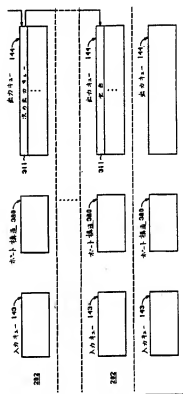


FIG. 5

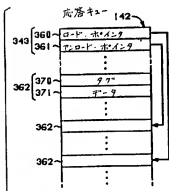
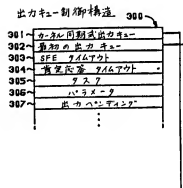


FIG. 3



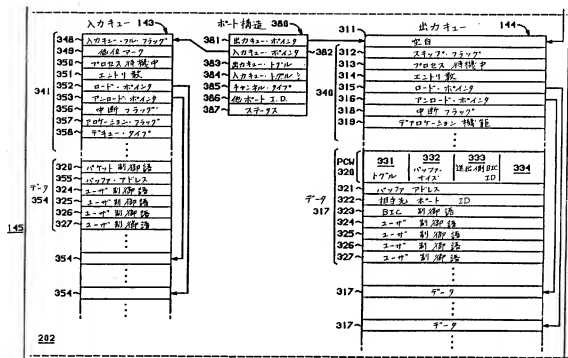


FIG. 4

※ 以降「フラグ」および「フラグ」は同じものとする。

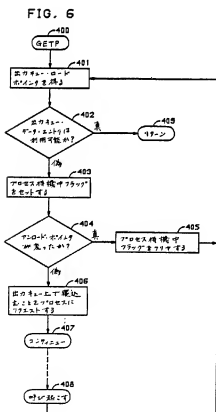
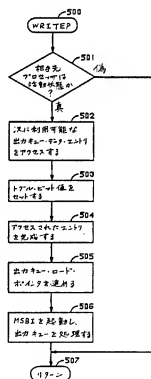
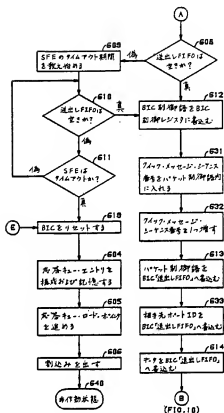


FIG. 7



[illegible]

```

graph TD
    E((E)) -- "F10.9" --> B10[ユーザデータを受信し  
CRCを生成しFIFOへ  
書き込む]
    B10 --> B11[パケット番号をCRC  
EOPレディスへ書き込む]
    B11 --> B12[SFEのパケットを数値2  
で表す]
    B12 --> B13[スタート・ストップ  
をセットする]
    B13 --> B14{SFEとパケット  
番号はENACKの  
パケットに一致するか?}
    B14 -- 否 --> B15[ACKパケットの  
数値2で表す]
    B14 -- 是 --> B16{有効成分(AW)  
のパケット内に  
パケット番号と一致する  
パケットがあるか?}
    B16 -- 否 --> F10_11((F10.11))
    B16 -- 是 --> P((P))
    P -- "F10.6" --> B17[ACKを生成し  
FIFOへ書き込む]
    B17 --> B18[パケット番号をCRC  
EOPレディスへ書き込む]
    B18 --> B19[SFEのパケットを数値2  
で表す]
    B19 --> B20[スタート・ストップ  
をセットする]
    B20 --> B21{SFEとパケット  
番号はENACKの  
パケットに一致するか?}
    B21 -- 否 --> B22[ACKパケットの  
数値2で表す]
    B21 -- 是 --> B23{有効成分(AW)  
のパケット内に  
パケット番号と一致する  
パケットがあるか?}
    B23 -- 否 --> F10_11
    B23 -- 是 --> P
  
```

Flowchart of the first embodiment of the invention:

- Start at node **E** (F10.9).
- Process **B10**: ユーザデータを受信しCRCを生成しFIFOへ書き込む (Receive user data, generate CRC, write to FIFO).
- Process **B11**: パケット番号をCRC EOPレディスへ書き込む (Write packet number to CRC EOP ready).
- Process **B12**: SFEのパケットを数値2で表す (Represent SFE packet as numerical value 2).
- Process **B13**: スタート・ストップをセットする (Set start/stop).
- Decision **B14**: SFEとパケット番号はENACKの packet に一致するか? (Does SFE and packet number match ENACK packet?).
 - If **否** (No), go to **B15**: ACKパケットの数値2で表す (Represent ACK packet as numerical value 2).
 - If **是** (Yes), go to **B16**: 有効成分(AW)の packet 内に packet 番号と一致する packet があるか? (Is there a packet with matching packet number in the valid component AW?).
 - If **否** (No), go to **F10.11**.
 - If **是** (Yes), go to node **P**.
- Node **P** (F10.6) leads to **B17**: ACKを生成しFIFOへ書き込む (Generate ACK, write to FIFO).
- Process **B18**: パケット番号をCRC EOPレディスへ書き込む (Write packet number to CRC EOP ready).
- Process **B19**: SFEのパケットを数値2で表す (Represent SFE packet as numerical value 2).
- Process **B20**: スタート・ストップをセットする (Set start/stop).
- Decision **B21**: SFEとパケット番号はENACKの packet に一致するか? (Does SFE and packet number match ENACK packet?).
 - If **否** (No), go to **B22**: ACKパケットの数値2で表す (Represent ACK packet as numerical value 2).
 - If **是** (Yes), go to **B23**: 有効成分(AW)の packet 内に packet 番号と一致する packet があるか? (Is there a packet with matching packet number in the valid component AW?).
 - If **否** (No), go to **F10.11**.
 - If **是** (Yes), go to node **P**.
- End at node **F10.11**.

```

graph TD
    C((C)) --> E22[74007・M・0・5・100737  
を計算する]
    E22 --> E23{74007・M・0・5・100737  
が0か?}
    E23 -- NACK --> E24[出力キー・24077・757  
をセットする]
    E23 -- ACK --> E25[出力キー・74007・  
を(1)にセットする]
    E24 --> F((F))
    E25 --> E26{74007及び  
出力キー24077が偶数か?}
    E26 -- 偶 --> F
    E26 -- 奇 --> E27[出力キー・24077を  
偶数に変換する]
    E27 --> E28[出力キー・007・  
74007をセットする]
    E28 --> E29[出力キーを  
セットする]
    E29 --> F
  
```

Flowchart of the second embodiment of the invention:

- Start at node **C**.
- Process **E22**: 74007・M・0・5・100737 を計算する (Calculate 74007・M・0・5・100737).
- Decision **E23**: 74007・M・0・5・100737 が0か? (Is 74007・M・0・5・100737 zero?).
 - If **NACK** (No), go to **E24**: 出力キー・24077・757 をセットする (Set output key 24077・757).
 - If **ACK** (Yes), go to **E25**: 出力キー・74007・を(1)にセットする (Set output key 74007 to (1)).
- From **E24**, go to node **F**.
- From **E25**, go to Decision **E26**: 74007及び 出力キー24077が偶数か? (Are 74007 and output key 24077 even?).
 - If **偶** (Even), go to node **F**.
 - If **奇** (Odd), go to **E27**: 出力キー・24077を 偶数に変換する (Convert output key 24077 to even).
- From **E27**, go to **E28**: 出力キー・007・74007を セットする (Set output key 007・74007).
- From **E28**, go to **E29**: 出力キーを セットする (Set output key).
- From **E29**, go to node **F**.

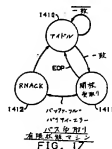
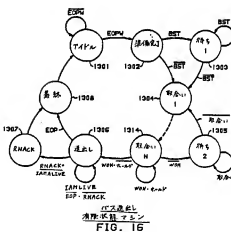
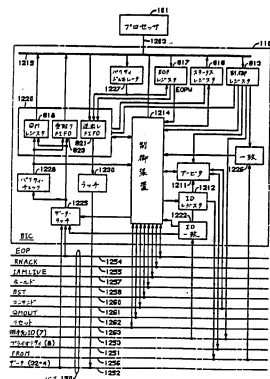
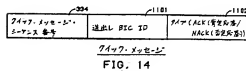
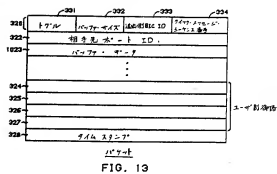
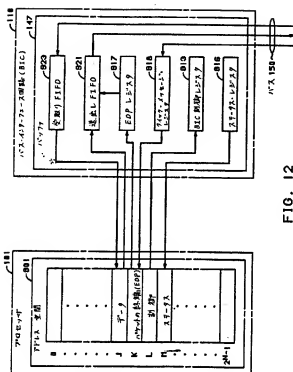


FIG. 18

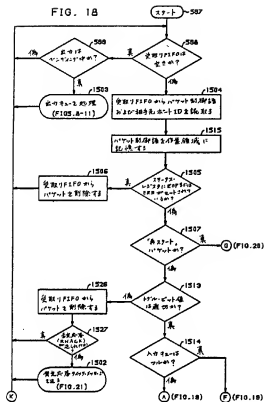


FIG. 20

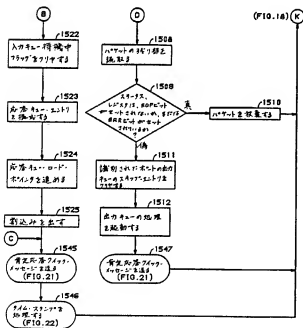


FIG. 19

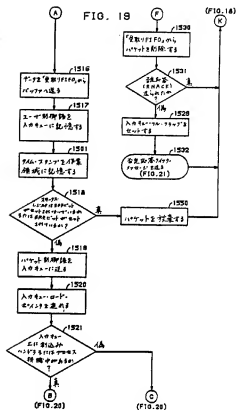
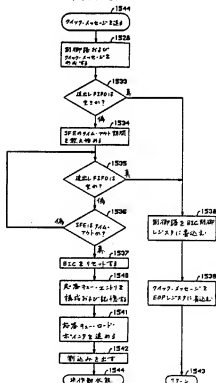


FIG. 21



2200



第1頁の続き

- ⑫発明者 マーク ヘンリ デイ アメリカ合衆国, 60555 イリノイ, ウォレンヴィル, イ
 ヴイス ラクウオイズ コート ノース 29ダブルユ320
- ⑬発明者 デイヴィット ニコラ アメリカ合衆国, 07760 ニュージャージー, ラムソン,
 ス ホーン ベイ ストリート 15
- ⑭発明者 グロヴァ ティモシイ アメリカ合衆国, 60135 イリノイ, ウェスト シカゴ,
 スラット ヒツコリイ レイン 716 ウェスト 28
- ⑮発明者 ローレンス アルノ アメリカ合衆国, 60540 イリノイ, ナバーヴィル, ロイ
 ウエルシュ アル ブラックヒース コート 1016

手 続 完 了 正 様 (方式)

昭和63年4月14日

特許庁長官 小川邦夫殿

1. 事件の表示
昭和62年特許願第323014号
2. 発明の名称
遠隔媒体に結合された複数プロセッサの系のステーションと
複数ステーション間の通信方法
3. 補正をする者
事件との関係 特許出願人
アメリカン テレフォン アンド
テレグラフ カムパニー
4. 代理人
住 所 〒100 東京都千代田区内幸町2丁目2-1
エイ・ティ・アンド・ティ
・インターナショナル・ジャパン株式会社内
氏 名 (8105)弁理士 三 谷 弘 文
5. 補正命令の日付 (発送日) 昭和63年3月29日
6. 補正の対象
明細書全文
- 7
8. 補正の内容
別紙の通り、浄書した明細書(内容に変更なし)を提出する。
以上